

RESUME

Cette thèse décrit une contribution à l'implémentation de la Transformée de Hough (TH) sur FPGA (Field Programmable Gate Array). Elle donne la description de cette transformée et une synthèse sur la technologie des FPGA.

Cette contribution consiste en une solution spécifique aux structures des FPGAs. Des circuits qui sont devenus des alternatives compétitives pour les applications de traitement numérique du signal de hautes performances. Plus précisément, nous évaluons, dans ce rapport, la possibilité de l'implémentation de l'algorithme usuel de la TH, nous proposons une architecture permettant la génération de ses paramètres en utilisant essentiellement des multiplieurs compacts que nous avons adaptés à la structure des FPGAs de Xilinx et toujours, pour optimiser l'exploitation des ressources des FPGAs, nous avons proposé un nouvel algorithme qui permet de réduire remarquablement l'utilisation des multiplieurs et des tables de transferts. L'idée de base, pour cet algorithme, consiste à combiner une méthode incrémentale avec l'expression de la TH usuelle. Ceci, pour allier les performances et la précision requises. L'algorithme en question présente une formulation simple et l'architecture qui en découle est régulière se prêtant facilement à l'implémentation VLSI. Nous avons, d'ailleurs, utilisé un langage de description hardware, le VHDL, qui nous a permis d'organiser notre architecture d'une manière hiérarchiques, régulières et génériques. Comme illustration, nous présentons les résultats d'une implémentation dédiée à des pixels d'images de 8-bit.