

Résumé

L'algorithme de l'Analyse en Composantes Indépendantes (ACI) est un outil mathématique très performant inspiré de la théorie des réseaux de neurones qui permet de supporter la puissance de calcul de traitement avec efficacité pour la séparation de signaux. L'algorithme de l'ACI exige un nombre important d'opérations arithmétiques pour le calcul de l'algorithme. Dans cette optique, grâce à l'avancée technologique dans la fabrication des circuits intégrés VLSI, il a été envisagé la réalisation des applications de séparation de signaux en utilisant des implémentations hardwares pour le traitement de l'algorithme ACI en temps réel. Une solution alternative envisagée est offerte par les circuits FPGA programmables qui permettent de diminuer les temps de conception et de produire des prototypes à moindre coût. Vu la limitation en nombre de ressources matérielles dans un circuit FPGA, une méthodologie de conception a été appliquée aux circuits matériels afin d'effectuer des calculs d'optimisation de l'algorithme. D'autre part, une conception d'une architecture matérielle d'un seul neurone a été employée en langage VHDL afin de permettre l'optimisation de la surface matérielle du circuit FPGA. Un traitement séquentiel de calculs du neurone dans le circuit FPGA nous a permis d'effectuer le traitement de 1000 échantillons à 2 signaux d'entrée pour la séparation de 2 signaux indépendants en sortie. Compte tenu du temps d'exécution dans le cycle d'apprentissage qui est de l'ordre de 17.3us, la fréquence d'échantillonnage maximale a atteint 57Khz.

Abstract

The Independent Component Analysis (ICA) algorithm is inspired from the theory of neural network algorithm which supported high power computation of performances for Blind Signal Separation (BSS). Thus, the ICA algorithm needs an important computation of arithmetic operation of the algorithm. In this context, due to the advanced technology of the VLSI digital circuit, it has been envisaged the realisation of BSS applications which used hardware implementation to process the ICA algorithm in real time. An alternative solution that has been envisaged is offered by the FPGA programmable device reduces the development time of design with low cost of prototype manufacturing. Due to the limitation number of hardware resources of FPGA device, the methodology of design has been applied to hardware circuits, which used the optimisation computation of the algorithm. On the other side, the design of the hardware architecture of neurone has been described with VHDL language to optimize the hardware area size of FPGA device. Hence, the sequential processing of the neuron computation in FPGA device have allowed to process 1000 samples of 2 input signals for separating 2 independent output signals. Considering the execution time of 17.3us obtained from the learning cycle, the maximum sampling frequency has been reached the value of 57 KHz.