

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET
DE LA RECHERCHE SCIENTIFIQUE
Université des Sciences et de la Technologie Houari Boumediene
Faculté d'Electronique et Informatique



Thèse

Présentée pour l'obtention du grade de DOCTEUR EN SCIENCES

En : Electronique

Spécialité : Systèmes Radiofréquences et Micro-ondes

Par : **MAAFRI Djabar**

Sujet

Caractérisation et modélisation large bande des transistors à effet de champ

Soutenu publiquement, le 02 Janvier 2017, devant le jury composé de :

M. TOUNSI Mohamed Lamine	Professeur à l'USTHB	Président
M. YAGOURB Mustapha C.E.	Professeur à l'Univ. Ottawa	Directeur de thèse
Mme TOUHAMI Rachida	Professeur à l'USTHB	Co-Directrice de thèse
M. SENGOUGA Noureddine	Professeur A l'Univ. Biskra	Examineur
M. KHIREDINE Abdelkrim	Professeur A l'Univ. Bejaïa	Examineur
M. GAOUA Said	Maitre de Conférence A à l'USTHB	Examineur

Remerciements

*Je tiens tout d'abord à exprimer ma profonde gratitude à Monsieur **Mustapha C.E. Yagoub**, de m'avoir proposé ce sujet de recherche et pour son dynamisme, ses compétences scientifiques et sa disponibilité tout au long de ce parcours qui m'ont permis de mener à bien cette étude. Qu'il soit assuré de ma reconnaissance.*

*J'adresse mes sincères remerciements aux membres du laboratoire d'instrumentation ainsi qu'aux membres de l'équipe systèmes radiofréquences et microondes et en particulier à ma Co-directrice de thèse Madame **Rachida Touhami**, qui m'a accepté et faciliter l'intégration au sein de son équipe.*

Table des Matières

Remerciements.....	i
Table des Matières.....	ii
Table des Figures	vi
Liste des Tableaux.....	x
Liste des Symboles.....	xi
Introduction générale.....	1
<hr/>	
CHAPITRE 1 : Introduction aux transistors à effte de champ	
<hr/>	
1.1. Introduction.....	5
1.2. Les transistors à effet de champ.....	6
1.3. Le transistor MOSFET.....	7
1.4. Différence entre MOS sur substrat Si massif et SOI.....	8
1.5. Nouvelles architectures de transistors MOSFET.....	10
1.5.1. Le transistor MOS SOI totalement déserté.....	11
1.5.2. Transistor UTB FD-SOI.....	12
1.5.3. Le Transistor FinFET.....	12
1.5.4. Transistor UTBB FD-SOI.....	13
1.6. Transistor HEMT.....	14
1.7. Conclusion.....	16
<hr/>	
CHAPITRE 2 : Caractéristiques des transistors à effet de champs	
<hr/>	
2.1. Introduction.....	18
2.2. Transistors MOSFET partiellement désertés.....	18
2.2.1. Caractéristiques statiques du MOS PD-SOI 130 nm.....	19
2.3. Transistor FinFET.....	23
2.4. Transistor UTBB FD-SOI.....	26
2.4.1. Caractéristiques statiques du transistor UTBB FD-SOI.....	27
2.5. Transistor HEMT.....	31
2.6.1. Transistor HEMT GaN.....	31
2.6. Banc de mesure RF des transistors FET.....	33
2.6.2. Etalonnage.....	35
2.6.3. Epluchage.....	39
2.7. Mesure des paramètres S.....	40

2.8. Conclusion.....	41
----------------------	----

CHAPITRE 3 : Modélisation des transistors à effet de champ

3.1. Introduction.....	42
3.2. Différentes approches de modélisation	42
3.2.1. Modélisation comportementale.....	43
3.2.2. Modélisation générique	43
3.2.2.1. Modélisation physique	43
3.2.2.2. Modélisation à base de données expérimentale.....	44
3.2.2.3. Modélisation phénoménologique	45
3.3. Choix de la modélisation.....	47
3.4. Méthodologie suivie pour l'extraction du modèle électrique.....	48
3.4.1. Choix du schéma équivalent petit signal	48
3.4.1.1. Schéma équivalent petit signal.....	49
3.4.1.2. Eléments extrinsèques.....	51
3.4.1.3 Eléments intrinsèques	51
3.5. Comparaison de la méthode proposée avec l'état de l'art	53
3.6. Méthodes d'extraction des éléments d'un schéma équivalent petit signal d'un TEC.....	53
3.6.1. Méthode de polarisation à froid des transistors TEC (Cold FET).....	53
3.6.2. Méthode de Lovelace	56
3.6.3. Méthode de Bracale	57
3.6.4. Méthode de Torres-Torres	59
3.6.5. Méthode de Tinoco.....	60
3.6.6. Méthode de Raskin.....	61
3.6.7. Extraction des capacités extrinsèques	63
3.6.8. Extraction des paramètres intrinsèques	63
3.7. Méthodes d'extraction du transistor HEMT AlGaIn/GaN.....	64
3.8. Validation des procédures d'extraction	66
3.9. Conclusion.....	66

CHAPITRE 4 : Méthode d'extraction proposée

4.1. Introduction.....	68
4.2. Méthodologie pour l'extraction des éléments de transistors MOSFET.....	68
4.2.1. Schéma équivalent petit signal des transistors MOSFET.....	68
4.2.2. Procédure d'extraction des éléments du transistor MOSFET.....	69

4.2.2.1. Extraction des paramètres extrinsèques	69
4.2.2.2. Extraction des éléments intrinsèques.....	71
4.3. Validation de la méthode d'extraction	71
4.4. Application à l'extraction des éléments du MOS SOI.....	71
4.4.1. Extraction des paramètres extrinsèques	72
4.4.2. Extraction des paramètres intrinsèques	76
4.5. Application à l'extraction des éléments d'un schéma électrique du FinFET	77
4.5.1. Extraction des éléments extrinsèques	78
4.6. Application à l'extraction des éléments d'un schéma équivalent du transistor HEMT AlGaIn/GaN	80
4.6.1. Choix du schéma équivalent	80
4.6.2. Extraction des éléments extrinsèques	82
4.6.3. Extraction des paramètres intrinsèques.....	87
4.7. Conclusion.....	90

CHAPITRE 5 : Résultats et Discussions

5.1. Introduction.....	92
5.2. Modèle RF petit signal des transistors à effet de champ	92
5.2.1. Modèles RF petit signal des transistors MOS PD-SOI 130 nm.....	92
5.2.1.1. Schéma équivalent petit signal du transistor MOS PD-SOI 130 nm	92
5.2.1.2. Comparaison entre simulations et mesures	96
5.2.2. Schéma équivalent petit signal du transistor UTBB FD-SOI.....	96
5.2.3. Résultats du transistor UTBB FD-SOI en mode linéaire	103
5.2.4. Modèle petit signal du transistor FinFET	105
5.2.4.1. Résultats.....	106
5.2.5. Extraction des éléments du schéma équivalent petit signal du transistor HEMT AlGaIn/GaN.....	109
5.2.5.1. Schéma équivalent petit signal du transistor GaN HEMT.....	109
5.2.5.2. Résultats de Simulation du transistor HEMT AlGaIn/GaN.....	115
5.3. Etude de sensibilité de la méthode proposée	116
5.3.1. Paramètres-S simulés	116
5.3.2. Extraction des paramètres extrinsèques avec et sans bruit.....	117
5.3.3. Extraction des paramètres intrinsèques avec et sans bruit	120
5.4. Conclusion.....	123

Conclusion générale.....	120
Références bibliographique	127
ANNEXE A.....	120
Production Scientifique.....	137
Résumé.....	138

Table des Figures

Figures Chapitre 1

Figure 1. 1. Famille des composants à effet de champ [13]	6
Figure 1. 2. Évolution de la technologie CMOS [14].....	7
Figure 1. 3. Schéma des structures transistors MOS. (a) Sur silicium massif, (b) sur FDSOI (<i>Fully Depleted Silicon-on-Insulator</i>) [15].....	9
Figure 1. 4. Structure d'un transistor nMOS SOI partiellement déserté [19]	10
Figure 1. 5. Loi de Moore : Évolution de la quantité de transistors par puce de microprocesseur	11
Figure 1. 6. Schéma de la structure simplifié du FinFET [5]	13
Figure 1. 7. Schéma de la structure simplifié du transistor UTBB FD-SOI [23].....	14

Figures Chapitre 2

Figure 2. 1. Caractéristiques de sortie $I_{DS} = f(V_{DS})$ mesurées du transistor MOS SOI PD-SOI 130 nm.....	19
Figure 2. 2. Conductances statiques g_{DS} mesurées du transistor MOS SOI PD-SOI 130 nm.....	20
Figure 2. 3. Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurées du transistor MOS PD-SOI 130 nm à $V_{ds} = 1.2$ V	21
Figure 2. 4. Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurées du transistor MOS PD-SOI 130 nm à $V_{ds} = 0.05$ V	21
Figure 2. 5. Extraction de la tension de seuil V_{th} en utilisant la méthode de deuxième dérivée du transistor MOS PD-SOI 130 nm.....	22
Figure 2. 6. Représentation d'un FinFET sur SOI. (a) vue 2D, (b) vue 3D, (c) vue schématique [28].....	23
Figure 2. 7. Caractéristiques de sortie $I_{DS} = f(V_{DS})$ mesurées du transistor FinFET N0p13.....	24
Figure 2. 8. Conductances statiques g_{DS} mesurées du transistor FinFET N0p13.....	24
Figure 2. 9. Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurée du transistor FinFET N0p13 à $V_{ds} = 1.2$ V.....	25
Figure 2. 10. Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurée du transistor FinFET N0p13 à $V_{ds} = 0.05$ V.....	25
Figure 2. 11. Extraction de la tension V_{th} du FinFET N0p13 utilisant la méthode de deuxième dérivée de $I_{DS}-V_{GS}$	26
Figure 2. 12. Caractéristiques de sortie $I_{DS} = f(V_{DS})$ mesurées du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m	27
Figure 2. 13. Conductances statiques mesurées g_{DS} du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m	28
Figure 2. 14. Réseaux de caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurés des transistors UTBB FD-SOI avec une largeur $W = 120$ μ m et différentes longueur de grille L_g à $V_{ds} = 1.2$ V	29
Figure 2. 15. Transconductances statiques mesurées g_m des transistors UTBB FD-SOI avec une largeur $W = 120$ μ m et différentes longueur de grille L_g à $V_{ds} = 1.2$ V	29
Figure 2. 16. Extraction de la tension de seuil V_{th} utilisant la méthode de deuxième dérivée du transistor UTBB FD-SOI avec une largeur $W = 120$ μ m. (a) $L_g = 25$ nm, (b) $L_g = 30$ nm.....	30
Figure 2. 17. Extraction de la tension de seuil V_{th} utilisant la méthode de deuxième dérivée du transistor UTBB FD-SOI avec une largeur $W = 120$ μ m. (a) $L_g = 35$ nm, (b) $L_g = 45$ nm.....	30
Figure 2. 18. Représentation de la structure d'un transistor HEMT AlxGa1-xN/ GaN [8]	31
Figure 2. 19. Diagrammes des bandes des matériaux AlGaN dopé n et GaN non dopé [32].....	32
Figure 2. 20. Diagramme des bandes de l'hétérojonction AlGaN/GaN à l'équilibre thermique [11].....	32
Figure 2. 21. Equipement utilisé pour la caractérisation RF. (a) Probeur PM8, (b) analyseur de réseau vectoriel Anritsu 37369A, (c) analyseur de paramètres de semi-conducteur HP 4145	34
Figure 2. 22. Sondes utilisés pour des mesures DC et RF à la température ambiante et en haute température. (a) sonde infinity, (b) Z probe	34

Figure 2. 23. Illustration de la technique G-S-G utilisée dans les mesures RF d'un système à deux ports [33].....	35
Figure 2. 24. Planéité des sondes RF sur un substrat de contact [33]. (a) illustration des pointes de sonde, (b) le substrat de contact, (c) réglage de la planarité.....	36
Figure 2. 25. Alignement des deux sondes RF	37
Figure 2. 26. Impédance standard de substrat utilisé en étalonnage [33]	37
Figure 2. 27. Etapes de l'étalonnage [33]. (a) mesure de charge (<i>Load</i>), (b) mesure court-circuit (<i>Short</i>), (c) mesure Thru (<i>Line</i>)	38
Figure 2. 28. Plan de référence après l'étalonnage [35]	38
Figure 2. 29. Illustration schématique de la procédure de l'épluchage [35].....	39
Figure 2. 30. Plan de référence après l'épluchage [34]	39
Figure 2. 31 Banc de mesure RF.....	40
Figure 2. 32. Représentation d'un transistor sous forme d'un quadripôle	41

Figures Chapitre 3

Figure 3. 1. Organigramme des étapes à suivre pour l'extraction du modèle petit signal et sa validation..	49
Figure 3. 2. Modèle petit signal pour le transistor à effet de champ TEC	50
Figure 3. 3. Schéma équivalent petit signal de la partie intrinsèque du TEC	51
Figure 3. 4. Schéma équivalent petit signal du TEC à froid	54
Figure 3. 5. Schéma équivalent petit signal du TEC polarisé à $V_{gs} < V_{th}$	55
Figure 3. 6. Circuit équivalent petit signal à $V_{gs} < V_{th}$ et $V_{ds} = 0$ V [78].....	57
Figure 3. 7. Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds} = 0$ V [75]	57
Figure 3. 8. Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds} = 0$ V [80]	60
Figure 3. 9. Circuit équivalent petit signal en régime de saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$ [79]	61
Figure 3. 10. Circuit équivalent petit signal en régime déplétion $V_{ds} = 0$ V et $V_{gs} = 0$ V après l'épluchage des résistances et inductances extrinsèques.....	63
Figure 3. 11. Circuit équivalent petit signal sous courant de grille faible [89]	65

Figures Chapitre 4

Figure 4. 1. Schéma équivalent petit signal du transistor MOSFET	69
Figure 4. 2. Organigramme de la méthode proposée appliquée sur les transistors MOS SOI	72
Figure 4. 3 Procédure d'extraction des éléments intrinsèques du transistor MOS SOI.....	74
Figure 4. 4 Schéma équivalent petit signal du transistor MOS SOI à $V_{ds} = V_{gs} = 0$ V	75
Figure 4. 5 Schéma équivalent petit signal du transistor FinFET	77
Figure 4. 6 Schéma équivalent petit signal du transistor FinFET à $V_{ds} = V_{gs} = 0$ V aux basses fréquences	79
Figure 4. 7. Organigramme de la méthode proposée appliquée sur le transistor HEMT AlGaIn/GaN	81
Figure 4. 8 Schéma équivalent petit signal de transistor HEMT AlGaIn/GaN à 21 éléments.....	82
Figure 4. 9 Schéma équivalent à froid pincé aux basses fréquences	82
Figure 4. 10 Organigramme des étapes de détermination des capacités parasites.....	84
Figure 4. 11 Schéma équivalent du HEMT GaN à $V_{gs} = 0$ V et $V_{ds} = 0$ V.....	85
Figure 4. 12. Schéma équivalent en T du transistor HEMT AlGaIn/GaN en T à $V_{ds} = 0$ V et $V_{gs} < V_{th}$	86
Figure 4. 13. Schéma équivalent des paramètres intrinsèques du transistor HEMT AlGaIn/GaN en branches d'admittances	87

Figures Chapitre 5

Figure 5. 1. Représentation paramétrique des résistances extrinsèques dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à $V_{ds} = 1.2$ V. (a) extraction de la résistance R_{se} à $V_{gs} = 0.2$ V, (b) extraction de la résistance R_{de} à $V_{gs} = 0.2$ V, (c) extraction de la résistance R_{ge} à $V_{gs} = 0.2$ V, (d) extraction de la résistance R_{ge} à $V_{gs} = 1$ V	93
Figure 5. 2. Représentation paramétrique des résistances extrinsèques dans la gamme 0.04-40 GHz du transistor MOS PD-SOI avec $L_g = 130$ nm à $V_{ds} = 0$ V et $V_{gs} = 0$ V. (a) extraction de la résistance R_{se} , (b) extraction de la résistance R_{de}	94
Figure 5. 3. Représentation des conductances extraites en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120$ μ m	95
Figure 5. 4. Représentation des capacités intrinsèques extraites en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120$ μ m	95
Figure 5. 5. Résistance R_{gsi} et temps de retard τ extraits en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120$ μ m	96
Figure 5. 6. Paramètres-S mesurés (cercle) et simulés (ligne) du transistor MOS PD SOI avec $L_g = 130$ nm et $W = 120$ μ m à $V_{ds} = 1.2$ V. (a) $V_{gs} = 0.6$ V, (b) $V_{gs} = 0.8$ V V, (c) $V_{gs} = 1$ V, (d) $V_{gs} = 1.2$ V	97
Figure 5. 7. Erreur entre mesure et simulation des paramètres-S du transistor MOS PD-SOI 130 nm à $V_{ds} = 1.2$ V et $V_{gs} = 1$ V	98
Figure 5. 8. Représentation de la résistance de grille en fonction de la fréquence du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 0$ V et $V_{gs} = 0$ V	99
Figure 5. 9. Représentation paramétrique des résistances extrinsèques dans la gamme de fréquences 0.04 - 40 GHz pour un UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 0$ V et $V_{gs} = 0$ V, (a) extraction de la résistance R_{se} , (b) extraction de la résistance R_{de}	100
Figure 5. 10. Extraction des capacités extrinsèques en fonction de la fréquence du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 0$ V et $V_{gs} = 0$ V	100
Figure 5. 11. Paramètres-S mesurés (x) et simulés (ligne) du transistor UTBB FD-SOI avec $L_g = 30$ nm à $V_{ds} = 1$ V. (a) $V_{gs} = 0.7$ V, (b) $V_{gs} = 0.95$ V	102
Figure 5. 12. Erreur relative sur les paramètres admittances-Y du transistor UTBB FD-SOI à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V	102
Figure 5. 13. Paramètres-Y mesurés (x) et simulés (--) du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V (a) Y_{11} , (b) Y_{12} , (c) Y_{21} , (d) Y_{22}	103
Figure 5. 14. Paramètres Y mesurés (x) et simulés (--) du transistor UTBB FD-SOI avec $L_g = 30$ nm à $V_{ds} = 0.5$ V et $V_{gs} = 0.98$ V, (a) Y_{11} , (b) Y_{12} , (a) Y_{21} , (b) Y_{22}	104
Figure 5. 15. Représentation de la résistance de grille du transistor FinFET N0p13 en fonction de la fréquence à $V_{ds} = 0$ V et $V_{gs} = 0$ V	105
Figure 5. 16. Extraction des capacités extrinsèques du transistor en fonction de la fréquence FinFET N0p13 à $V_{ds} = 0$ V et $V_{gs} = 0$ V	106
Figure 5. 17. Magnitude des paramètres-S : Comparaison entre mesures (o) simulations (ligne) à $V_{ds} = 0$ V et $V_{gs} = 0$ V.	107
Figure 5. 18. Phase des paramètres S : Comparaison entre mesures (o) et simulations (ligne) à $V_{ds} = 0$ V et $V_{gs} = 0$ V	108
Figure 5. 19. Erreur sur les paramètres-S du transistor FinFET à $V_{ds} = 0$ V et $V_{gs} = 0$ V	109
Figure 5. 20. Extraction des inductances extrinsèques à partir des paramètres-Z à froid pincé du transistor HEMT AlGaIn/GaN	110
Figure 5. 21. Extraction de la capacité C_{gsi} du transistor HEMT AlGaIn/GaN	112
Figure 5. 22. Extraction de la capacité C_{gdi} du transistor HEMT AlGaIn/GaN	113
Figure 5. 23. Extraction de la résistance R_i du transistor HEMT AlGaIn/GaN	113
Figure 5. 24. Extraction de la résistance R_{gd} du transistor HEMT AlGaIn/GaN	114
Figure 5. 25. Extraction de la capacité C_{dsi} du transistor HEMT AlGaIn/GaN	114
Figure 5. 26. Paramètres-S mesurés (o) et simulés (ligne) du transistor HEMT ALGaIn/GaN	115
Figure 5. 27. Erreur relative sur les paramètres S du transistor HEMT ALGaIn/GaN à $V_{gs} = -1$ V et $V_{ds} = 10$ V	115

Figure 5. 28. Partie réelle de ($Z_{\sigma\pi11}$ - $Z_{\sigma\pi12}$) simulés avec et sans bruit de VNA utilisant la méthode proposée à $V_{ds}= 0$ V et $V_{gs}= 0$ V	117
Figure 5. 29. Représentation paramétrique de $Re(Z_{\sigma\pi11})$ en fonction de $Re(Z_{\sigma\pi21})$ avec et sans bruit de VNA utilisant la méthode proposée à $V_{ds}= 0$ V et $V_{gs}= 0$ V	118
Figure 5. 30. Représentation paramétrique de $Re(Z_{\sigma\pi22})$ en fonction de $Re(Z_{\sigma\pi12})$ avec et sans bruit de VNA utilisant la méthode proposée à $V_{ds}= 0$ V et $V_{gs}= 0$ V	118
Figure 5. 31. Représentation des capacités avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}	119
Figure 5. 32. Représentation des capacités avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}	119
Figure 5. 33. Représentation des capacités avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}	120
Figure 5. 34. Représentation des conductances avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée. (a) g_m , (b) g_d	121
Figure 5. 35. Représentation des conductances avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée. (a) g_m , (b) g_d	121
Figure 5. 36. Temps de retard simulé du transistor UTBB FD-SOI avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée	122
Figure 5. 37. Représentation des capacités avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}	122
Figure 5. 38. Représentation des capacités avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}	123
Figure 5. 39. Représentation des capacités avec et sans bruit de VNA à $V_{ds}= 1$ V et $V_{gs}= 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}	123

Figures Annexe A

Figure A. 1 Représentation d'un quadripôle à deux ports. (a) paramètres-Z, Y, (b) paramètres S.....	135
---	-----

Liste des Tableaux

Tableaux Chapitre 1

Tableau 1. 1 Evolution, selon ITRS, de l'oxyde de grille, de la longueur de grille et de fréquences de transitions d'un transistor pour les applications RF [14]	8
Tableau 1. 2 Caractéristiques du matériau GaN comparé au Si et au GaAs [11]	16

Tableaux Chapitre 3

Tableau 3. 1 Étude comparative des méthodes d'extraction des éléments d'un schéma équivalent petit-signal d'un MOSFET	
---	--

Tableaux Chapitre 5

Tableau 5. 1 Résistances extrinsèques extraites pour le MOS PD-SOI avec $L_g = 130$ nm et $W = 120$ μ m en saturation	94
Tableau 5. 2 Les résistances extrinsèques extraites pour UTBB FD-SOI avec une longueur de grille $L_g = 30$ nm en saturation	98
Tableau 5. 3 Paramètres extrinsèques et intrinsèques extraits pour le transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m en saturation	101
Tableau 5. 4 Paramètres extrinsèques et intrinsèques extraits pour le UTBB FD-SOI avec $L_g = 30$ nm en régime linéaire	104
Tableau 5. 5 Paramètres extrinsèques du transistor FinFET (N0p13) à $V_{gs} = 0$ V et $V_{ds} = 0$ V	106
Tableau 5. 6 . Paramètres extrinsèques du transistor HEMT AlGaIn/GaN à froid pincé	111
Tableau 5. 7 Eléments du schéma équivalent du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 0$ V et $V_{gs} = 0$ V	116
Tableau 5. 8 planchers de bruit du VNA (Anritsu 37397C) [82]	117
Tableau 5. 9 Eléments du schéma équivalent du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V	120

Tableaux Annexe A

Tableau A.1 Equations pour la conversion entre paramètres S, Y et Z, avec impédance de source Z01 et impédance de charge Z02	12036
--	-------

Liste des Symboles

2D	Deux Dimension
3D	Trois Dimension
Al	Aluminium
BOX	Barried OXide
CMOS	Complementary Metal Oxide Semiconductor
RF	Radio Frequency
DC	Direct Current
DIBL	Drain Induced Barrier Lowering
DUT	Device Under Test
FET	Field Effect Transistor
FinFET	Fin-Shaped Field Effect Transistor
FD	Fully Depletet
GaAs	Gallium Arsenide
GaN	Gallium Nitride
GSG	Ground Signal Ground
GP	Ground Plane
HEMT	High Electron Mobility
ITRS	International Technology Roadmap for Semiconductors
JFET	Junction Field Effect Transistor
LRM	Line Reflect Match
MESFET	MEtal Semi-conducteur Field Effect Transistor
MMIC	Monolithic Microwave Integrated
MOSFET	Metal Oxid Semiconductor Field Effect Transistor
TEC	Transistor à Effet de Champ
TiN	Nitrure de titane
PD	Partially Depleted
RF	Radio frequency
SCE	Short Channel Effect
Si	Silicuim TRL Through Reflect Line
SoC	System on Chip
SOI	Silicon-on-insulator
SOLT	Short Open Load Through

SP	Surface Potential
SOS	Silicon-on-Saphir
TEC	Transistor à Effet de Champ
UTB	Ultra-Thin Body
UTBB	Ultra-Thin Body and Box
VNA	Vectoriel Network Analyser

Introduction Générale

Introduction générale

Le marché des télécommunications a connu un essor sans précédent au cours de ces dernières années. Il présente la principale source de développement et de croissance pour plusieurs pays du nord où il prend une place importante dans la vie quotidienne des citoyens, à commencer par le téléphone portable, les réseaux sans-fil, les radars et autres produits grand public. Toutes ces applications font partie intégrale du domaine des radiofréquences (RF), qui est à son tour fortement lié à l'évolution continue d'autres secteurs, entre autre, la filière de la nanoélectronique et en particulier celle des transistors.

Depuis la naissance du transistor jusqu'au début des années 80, deux technologies ont été utilisées dans le domaine RF : le transistor bipolaire sur silicium (Si) et le transistor à effet de champ sur l'arséniure de gallium (GaAs). A partir de cette date, et au cours du temps, de nouvelles technologies font leurs apparition dans le domaine RF, en l'occurrence, les transistors bipolaire a hétérojonction, le transistor HEMT (*High Electron Mobility Transistor*) et récemment les transistors MOSFET (*Metal Oxid Semiconductor Field Effect Transistor*).

La position dominante de la filière CMOS (*Complementary Metal Oxid Semiconductor Field Effect Transistor*) avec les structures MOS SOI (*Silicon-on- Insultor*) amincies se sont portées comme d'excellents candidats par rapport à ceux de la technologie Si. En effet, Malgré que les performances (fréquence de transition, densité de puissance, champ de claquage) du MOSFET en Microonde ne sont pas meilleurs par rapport à d'autres filières comme HBT et HEMT GaN, la présence massive des transistors MOSFET dans les circuits numériques explique la tendance des investissements faits dans le marché microélectronique relatif aux dispositifs à base de ce composant. En outre, les progrès de la lithographie et la réduction de la longueur de grille sont parmi les facteurs directs ayant permis l'évolution des performances RF et micro-ondes des transistors MOSFET. Ceci explique le grand intérêt dont bénéficie cette technologie en haute fréquence et qui est aussi dû aux raisons suivantes :

- D'un point de vue économique la technologie MOS SOI est moins couteuse par rapport à la technologie III-V.
- C'est une technologie très utilisée d'un point de vue industriel.
- Des applications mixtes peuvent être envisagées sur la même puce (SoC).
- Cette technologie présente une faible consommation de puissance et requiert des faibles tensions de polarisation.

Les dernières structures innovantes se montrent prometteuses pour l'avenir et la continuité de la filière. Par conséquent, diverses configurations ont été récemment fabriquées tels que les transistors à double grilles, à triple grilles, à grille en π et en Ω , les finFET , annonçant ainsi un meilleur contrôle du canal et de bonnes performances.

D'autre part la démonstration du premier transistor HEMT à base d'une hétérostructure d'AlGaIn/GaN est venue confirmer le grand potentiel pressenti pour cette filière notamment en raison des propriétés physiques du nitrure de gallium doté d'une large bande d'énergie interdite 3.4 eV, et qui détient un champ de claquage élevé. Cette propriété, ajoutée à sa conductivité thermique élevée ($3\text{W.m}^{-1}\text{.K}^{-1}$), lui confère des prédispositions pour les applications de forte puissance en haute fréquence. De plus, la structure d'un HEMT permet une augmentation de la mobilité des électrons du canal, qui est constitué d'un puit quantique formé à base d'hétéro-interface AlGaIn/GaN, et d'une grande stabilité chimique. Ces caractéristiques ont permis à ce type de transistor d'être un excellent choix pour les applications hyperfréquences à haute puissance.

Néanmoins, cette évolution ne peut se maintenir sans être accompagnée de travaux d'investigation permettant la caractérisation électrique et la modélisation de ces composants. A cet effet, la caractérisation, qui allie extraction électrique des paramètres et mise en évidence d'effets physiques tels que ceux du canal court, demeure un besoin récurrent pour déterminer les propriétés électriques des transistors. De là, les données expérimentales issues de la caractérisation fournissent une base riche pour concevoir des modèles appropriés intégrant tous les effets présents dans ces dispositifs émergents.

Sur un autre volet, les concepteurs de circuits intégrés et des fonctions de microélectronique ont besoin de modèle fiable et précis pour mener une conception rigoureuse moyennant ces transistors, en plus, les spécialistes de la conception assistée par ordinateur (CAO) font toujours appel à ce genre de modèle pour proposer des logiciels de CAO fiable.

C'est dans cette optique que ce travail de thèse se focalise sur la modélisation phénoménologique et plus particulièrement à la modélisation analytique directe des transistors à effet de champ. L'objectif portera sur le développement d'une méthode d'extraction des valeurs des éléments constituant le modèle électrique équivalent des transistors de la famille MOSFET comme le MOS SOI (*Metal Oxide Semiconductor – Silicon-on-insulator*), le

FinFET et le UTBB FD SOI (*Ultra Thin Body and Box Fully Depleted*). En vue de répondre cette demande, nous avons organisé le présent manuscrit selon les chapitres suivants,

Dans le premier chapitre, une brève description sur les transistors à effet de champ sera introduite en précisant l'importance de la technologie SOI (*Silicon-on-insulator*) par rapport à la technologie Bulk, et ce, en mettant en avant les avantages des dernières structures innovantes de la technologie SOI dans le domaine RF. Une autre description sera fournie sur l'intérêt d'utiliser le transistor HEMT à base de nitrure de gallium GaN en haute fréquence et les avantages que présente cette technologie par rapport à la technologie classique à base d'arséniure de gallium GaAs.

Le deuxième chapitre sera dédié à l'exposition des caractéristiques relatives au comportement des transistors à effet de champ en régime statique, où seront exposées les caractéristiques courant-tension. Ces dernières seront par la suite exploitées pour déduire des paramètres importants liés aux transistors, tel que, la conductance, la transconductance ou la tension de seuil. En outre, les bancs de mesure impliqués dans la caractérisation DC et RF des transistors étudiés seront aussi présentés.

En arrivant au troisième chapitre, nous nous rapprochons plus du vif du sujet où les approches de modélisation et d'extraction des transistors RF et micro-ondes seront traitées. Dans un premier temps, nous allons nous intéresser à la modélisation analytique directe des transistors à effet de champ. Ensuite nous allons aborder les différentes méthodes d'extraction directe appliquées aux transistors MOSFET et HEMT GaN.

L'état de l'art élaboré au chapitre 3, nous permet de bien cerner la problématique, ainsi une vision plus claire nous a été octroyée, pour savoir à quel niveau nous pourrions apporter notre contribution. C'est dans ce sens que le quatrième chapitre sera orienté vers la description en détail de l'approche que nous avons développée pour l'extraction des éléments du circuit électrique équivalent petit signal du transistor à effet de champ. Nous avons développé une méthode efficace et précise pour l'extraction de tous les éléments du circuit équivalent des transistors de la famille MOSFET comme le MOS SOI (*Metal Oxide Semiconductor – Silicon-on-insulator*), le FinFET et l'UTBB FD SOI (*Ultra Thin Body and Box Fully Depleted*). Une fois validée sur cette catégorie de transistors, nous allons étendre l'application de cette approche à une autre structure de transistors à effet de champ, à savoir, le HEMT AlGaIn/GaN.

Finalement, le dernier chapitre sera réservé aux résultats obtenus par l'application de la nouvelle méthode aux différents types des transistors à effet de champs avec l'interprétation. Des comparaisons entre les résultats de la simulation et les données issues des mesures seront effectuées, et ce, afin d'évaluer objectivement l'approche proposées. Néanmoins, nous conclurons cette partie du manuscrit par examiner l'immunité de la dite méthode contre les bruits présents dans la pratique.

CHAPITRE 1

Introduction aux transistors à effet de champ RF

1.1. Introduction

Au cours de ces vingt dernières années, une avancée étonnante a été notée dans l'industrie des semi-conducteurs, les chercheurs et industriels ont dévoué une énergie remarquable en proposant de nombreux dispositifs de haute performances et des technologies d'implémentation concurrentes.

Adaptés aux technologies de pointe telles que la technologie CMOS (*Complementary Metal–Oxide–Semiconductor*), les transistors à effet de champ (*Field-Effect Transistors* ou FET) ont constitué un centre d'intérêt où plusieurs configurations ont été proposées. On peut citer, les transistors MOSFET (*Metal–Oxide–Semiconductor Field-Effect Transistors*) de dernière génération connus par leur rapidité, faible consommation de puissance et bonne adaptation aux techniques de miniaturisation [1-3], les FinFET (*Fin Field Effect Transistors*), très prometteurs pour l'industrie de la microélectronique de par leur structure multi-grille [4-6], les transistors UTBB FD-SOI (*Ultra Thin Body and Box Fully Depleted Silicon-on-Insulator Transistors*) qui présentent une rapidité de commutation et une faible consommation d'énergie [6-8], et pour finir, les transistors HEMT (*High Electron Mobility Transistors*) de grand gap pour leur aptitude à générer de forte densité de puissance en haute fréquence [9-12].

Outre la technologie, le type de matériau impliqué dans l'intégration de ces dispositifs, joue également un rôle essentiel dans les performances ciblées. C'est ainsi que le silicium (Si) et l'arséniure de gallium (*Gallium Arsenide* ou GaAs) rivalisent avec le nitrure de gallium GaN (*Gallium Nitride*) pour les applications haute fréquence. En conséquence, une variété de transistors naissait grâce à la diversité de ces substrats de base.

C'est dans ce contexte, que nous allons exposer dans ce chapitre une vue plus profonde de ces différents types de dispositifs. A cet effet, dresser un aperçu préliminaire sur les transistors à effet de champ est une étape indispensable pour cerner les avantages de chaque technologie ainsi que ses domaines d'application. L'objectif est de comprendre la progression de la technologie basée sur les transistors à effet de champ comme la filière CMOS et HEMT à base de GaN, permettant ainsi de bien cadrer leurs points de convergence et divergence.

1.2. Les transistors à effet de champ

Le transistor à effet de champ est un dispositif unipolaire reposant sur un seul type de porteur (électrons ou trous). Il comprend trois électrodes qui sont la source, le drain et la grille.

Cette dernière étant l'électrode de commande, il existe ainsi trois types fondamentaux de transistors à effet de champ selon le contact de grille [13] :

- le transistor MESFET (*MEtal Semi-conductor Field Effect Transistor*) qui possède une grille métallique à barrière Schottky mais dont l'inconvénient majeur est la réduction de la longueur de grille pour permettre un fonctionnement correcte en haute fréquence. En outre, une faible tension de claquage.
- le transistor JFET (*Junction Field Effect Transistor*) qui possède une grille à jonction PN qui limite son utilisation en hautes fréquences,
- le transistor MOSFET (*Metal Oxyde Semi-conductor Field Effect Transistor*) qui possède une grille métallique isolée.

De nouveaux transistors (HEMT), dits à hétérojonction, ont également émergé. Ils reposent sur le principe de création et de contrôle d'un gaz d'électrons 2D dans un matériau faiblement dopé où les électrons peuvent se déplacer le plus rapidement possible. A partir de cette structure conventionnelle, il existe plusieurs FET de type hétérojonction (figure 1.1).

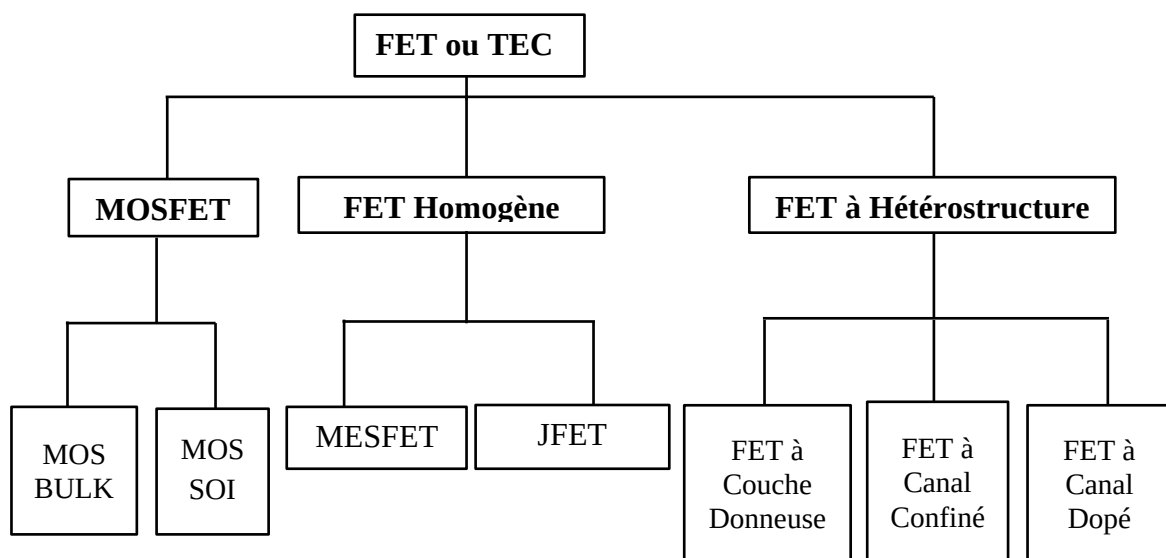


Figure 1. 1. Famille des composants à effet de champ [13]

1.3. Le transistor MOSFET

Le transistor MOSFET possède une position dominante dans le marché destiné aux applications numériques. L'intérêt d'utiliser cette technologie en RF est né récemment.

Ceci est apparu avec l'évolution des performances RF des transistors MOS, directement liée au progrès de la lithographie et à la réduction de la longueur de grille. La figure 1.2 montre l'évolution de la longueur de grille des composants MOS dans le temps et sa projection future [14]. L'intérêt porté aux transistors MOS dans le domaine RF repose sur trois points essentiels :

- C'est une technologie peu couteuse par rapport aux technologies III-V. Elle est très mature d'un point de vue industriel.
- La quasi-totalité des circuits numériques est à base de cette technologie.
- Elle requiert une faible tension de polarisation et présente une faible consommation en puissance.

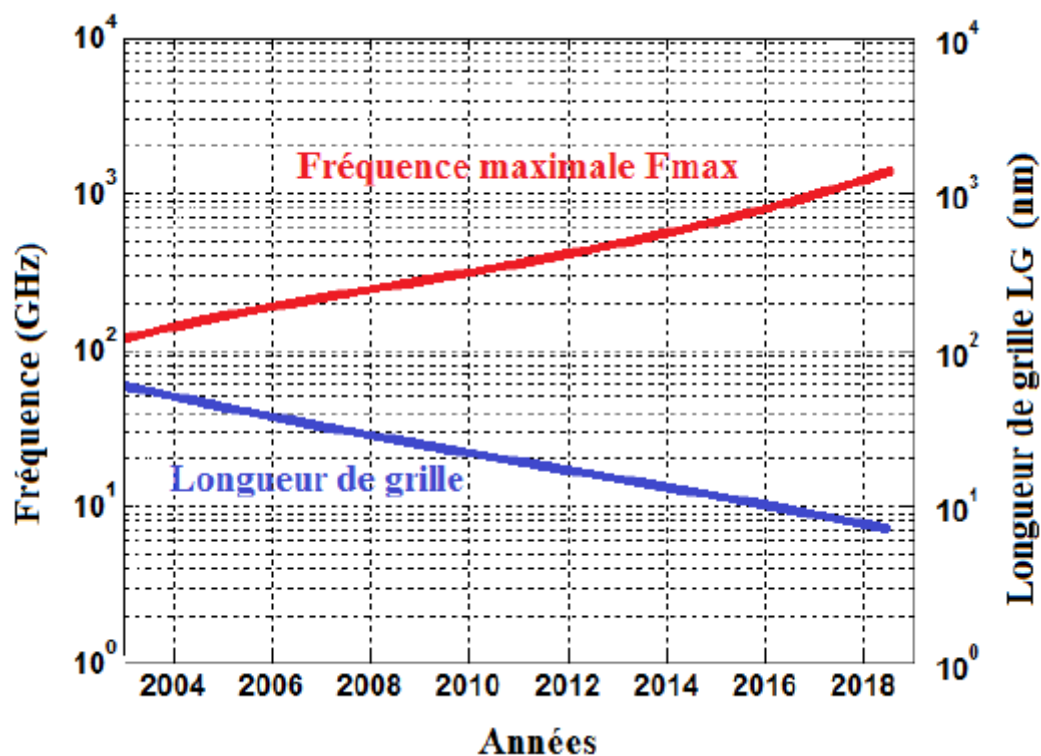


Figure 1. 2. Évolution de la technologie CMOS [14]

Ce sont ces points clés qui ont poussé les chercheurs à faire évoluer cette technologie dans le domaine RF. C'est le candidat idéal pour toutes les applications où la faible consommation

en puissance et la forte densité d'intégration sont exigées, notamment, pour toutes les applications embarquées.

De nos jours, les performances RF des transistors MOS en termes de fréquences caractéristiques (fréquence transitoire f_T et fréquence maximale f_{max}), atteignent de telles valeurs que l'on peut réaliser des circuits analogiques fonctionnant dans la bande millimétrique. Le Tableau 1.1 résume les performances du transistor MOS en termes de f_T , f_{max} en fonction des dimensions comme l'oxyde de grille t_{ox} et la longueur de grille L_g [14].

Tableau 1. 1 Evolution, selon ITRS (*International Technology Roadmap For Semiconductors*), de l'oxyde de grille, de la longueur de grille et de fréquences de transitions d'un transistor pour les applications Microonde [14]

Année	2006	2008	2010	2012	2014	2016	2018	2020
Epaisseur d'oxyde de grille (nm)	2.1	1.9	1.5	1.4	1.2	1.1	1.0	0.9
Longueur de grille (nm)	65	45	32	25	20	16	13	11
Fréquence de transition (GHz)	140	220	280	360	440	550	670	790
Fréquence d'oscillation (GHz)	220	310	420	530	650	790	950	1110

1.4. Différence entre MOS sur substrat Si massif et SOI

Il existe deux technologies CMOS majeures : la technologie CMOS sur silicium massif (*BULK*) et la technologie CMOS SOI (*Silicon-on-Insulator*), tel que montré à la figure 1.3 [15]. La différence entre elles, du point de vue structure, est la présence d'une couche isolante nommée oxyde enterré (*Barried OXide ou BOX*) dans le substrat du SOI.

L'idée du SOI est de créer une isolation électrique entre la zone active et le substrat physique, ce qui permet d'apporter une solution en terme de compromis performances / consommation de puissance.

L'oxyde enterré BOX peut être constitué de divers matériaux comme le saphir SOS (*Silicon-On-Saphir*), le diamant ou l'oxyde de silicium (SiO_2), ce dernier étant le plus utilisé. Le SiO_2 permet de réduire la surface occupée par les transistors ainsi que les effets capacitifs liés à la déplétion des jonctions (*source/substrat et drain/substrat*). Delà, les dispositifs SOI sont plus rapides que les MOSFET sur silicium massif, ou, pour la même vitesse, consomment moins de puissance [16]. En outre, leur isolation électrique offre la possibilité de réduire les courants de fuite, ce qui amène à une minimisation de la puissance dissipée en mode statique et une meilleure application numérique [17]. Enfin, le transistor MOS sur SOI procède à l'élimination d'autres effets parasites comme le latchup qui est présent sur le MOSFET sur substrat massif, ce phénomène parasite étant dû au déclenchement du thyristor parasite lié à la proximité des zones N+ et P+ des transistors NMOS et PMOS voisins [18].

Au vu de ses nombreux avantages, le transistor MOS sur substrat SOI est devenu un excellent candidat pour remplacer la technologie Bulk pour assurer la continuité de la filière CMOS.

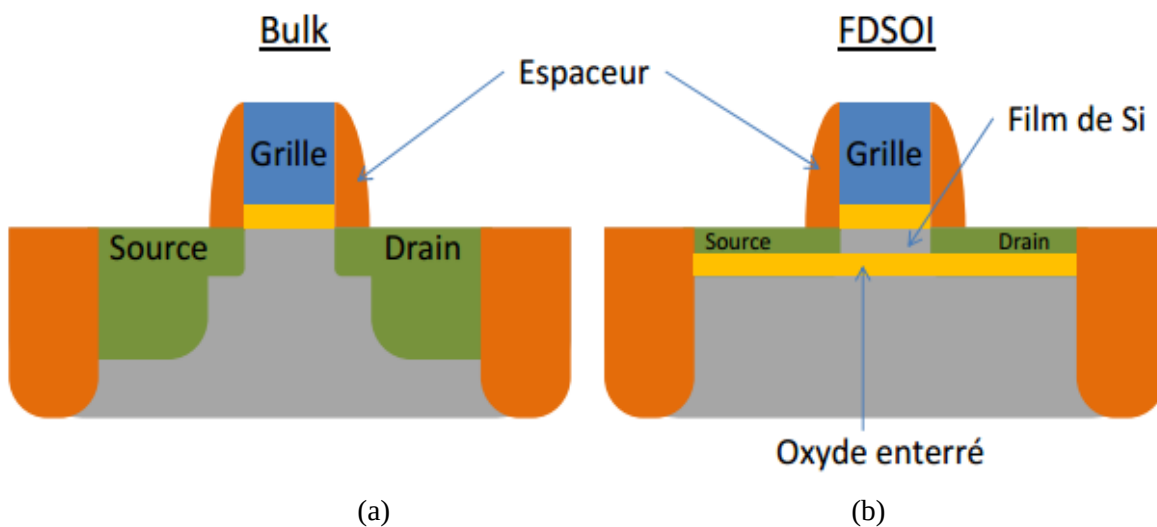


Figure 1. 3. Schéma des structures transistors MOS. (a) Sur silicium massif, (b) sur FDSOI (*Fully Depleted Silicon-on-Insulator*) [15]

La technologie CMOS SOI partiellement désertée constitue une amélioration de la technologie CMOS BULK avec presque les mêmes procédés technologiques, c'est-à-dire un procédé de fabrication simple et un coût de développement réduit.

Les dispositifs de technologie CMOS SOI partiellement déserté permettent de réduire les capacités parasites en haute fréquence par rapport au silicium massif. Ils permettent aussi de réduire les courants de fuites par l'élimination des effets Latch-up.

Dans ce type de transistor (figure 1.4 [19]), le film actif de silicium présente une zone interne neutre située entre la zone de déplétion et la couche d'oxyde enterré (Body). Cette zone empêche toute interaction entre les faces avant et arrière du transistor mais son potentiel n'est relié à aucun accès du transistor. Par conséquent, des phénomènes particuliers peuvent apparaître comme le transistor bipolaire parasite, l'effet kink, ... [19]. Pour faire face à ces effets et améliorer les performances du transistor, de nouvelles architectures basées sur la réduction du film de silicium et qui présentent une zone totalement désertée ont vu le jour pour remplacer avantageusement la technologie PD-SOI (*Partially Deserted Silicon-on-Insulator*).

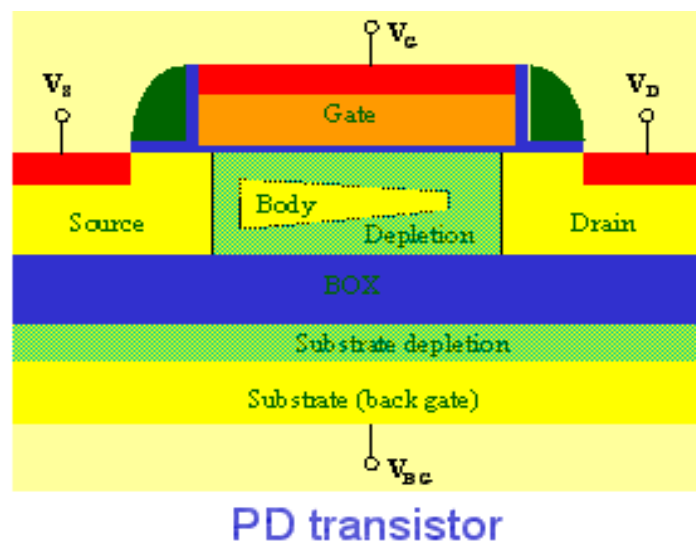


Figure 1. 4. Structure d'un transistor nMOS SOI partiellement déserté [19]

1.5. Nouvelles architectures de transistors MOSFET

Le procédé de miniaturisation du transistor MOS traditionnel devient de plus en plus difficile à réaliser suivant la loi de Moore montré en figure 1.5. Le plus grand problème réside dans le contrôle électrostatique du canal et l'augmentation des variations dans les caractéristiques statiques des dispositifs. Par conséquent, l'introduction de nouvelles architectures à l'échelle nanométrique est devenue indispensable. C'est ainsi qu'en 2011 et 2012, l'ITRS (*International Technology Roadmap for Semiconductors*) a prévu que l'apparition de nouvelles architectures devient une nécessité pour la continuité de la filière

CMOS, un meilleur contrôle électrostatique du canal à travers la grille et une minimisation des variations des caractéristiques statiques du dispositif

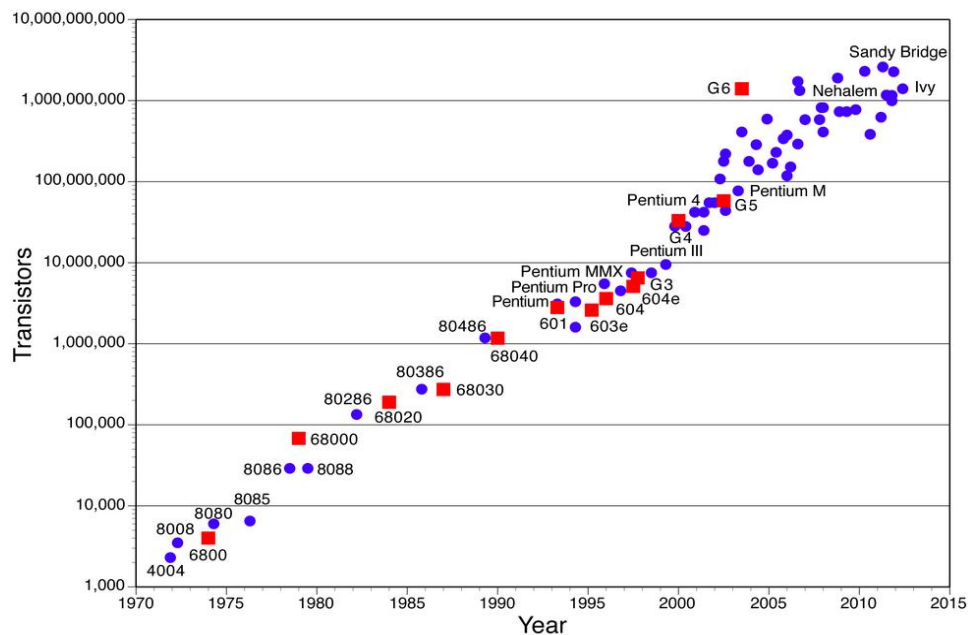


Figure 1. 5. Loi de Moore : Évolution de la quantité de transistors par puce de microprocesseur

Delà, de nombreuses innovations ont été apportées à l'architecture conventionnelle des transistors MOSFET. On peut ainsi constater que la technologie qui va prendre le relais après celle de CMOS BULK est bien le FD SOI (*Fully Depleted Silicon-on-Insulator*).

Des dispositifs multi-grille comme le FinFET sont attendus avec une longueur de grille de 14 nm, mais l'ITRS ne précise pas si la technologie restera planaire ou non [20]. Delà, pour prospecter plus loin, c'est-à-dire à des nœuds très avancés, une autre architecture innovante planaire de type UTBB FD-SOI (*Ultra Thin Body and Box Fully Depleted Silicon-on-Insulator*) a émergé [20].

1.5.1. Le transistor MOS SOI totalement déserté

A l'inverse de la technologie CMOS PD-SOI, dans la technologie CMOS FD-SOI, la zone de déplétion couvre la totalité de la couche de silicium active. Ce qui donne plus d'avantages aux dispositifs FD-SOI par rapport à ceux de PD-SOI, parmi lesquels l'absence d'effet Kink due à l'absence de la zone neutre (*Body*). En plus, les dispositifs FD-SOI possèdent une pente sous seuil améliorée de l'ordre de 65 à 70 mV/décade, qui est proche de celle du transistor MOS idéal (60 mV/décade), et ce, contrairement à la valeur des dispositifs PD-SOI qui est

autour de 85 à 90 mV/décade [21]. le FD-SOI fonctionne plus rapidement que le PD-SOI voir l'équation (1-1), ou S représente la pente sous seuil considéré comme un paramètre capital pour l'optimisation du rapport entre courant de fuite et de saturation [3].

$$S = \frac{\delta V_{gs}}{\delta \text{Log} I_{ds}} \quad (1 - 1)$$

Néanmoins il existe encore des problèmes au niveau technologique, à savoir la maîtrise du procédé de fabrication et le coût des plaques. En plus, l'auto échauffement, qui se traduit par la présence d'un BOX ayant une conductivité thermique 100 fois plus faible que celle du silicium, cela empêche l'évacuation de la chaleur (due au fonctionnement des transistors) vers le substrat. Une autre architecture du transistor MOS en technologie planaire FD-SOI avec un film de Silicium Si très mince pour donner plus de performances, a alors été proposée.

1.5.2. Transistor UTB FD-SOI

Le transistor planaire UTB FD-SOI (*Ultra Thin Body Fully Depleted Silicon-on-Insulator*) est construit à partir d'une couche mince de silicium au-dessus de l'oxyde enterré BOX. Dans l'UTB FD-SOI et grâce à l'épaisseur du corps de silicium t_{si} et la longueur de grille L_g les effets canaux court sont mieux contrôlés avec un DIBL (*Drain Induced Barrier Lowering*) acceptable [22]. De plus, les résistances d'accès bien contrôlées, une réduction significative des variations dans les caractéristiques statiques, une excellente intégrité électrostatique et une minimisation des fuites grâce à sa structure de film très mince, font de ce transistor UTB FD-SOI un candidat très prometteur. En outre, étant donné que la fabrication des transistors UTB FD-SOI est relativement simple par rapport à la fabrication de dispositifs non planaires, il est possible de polariser la face arrière [2], [22], option très utile pour les applications à faible consommation de puissance et permettant un réglage facile du courant de commutation [2].

Néanmoins, les transistors UTB FD-SOI présentent quelques problèmes récurrents que sont une tension de seuil très sensible due à la présence du film Si ultra mince surtout dans les cas où $t_{si} < 10$ nm [21]. De plus, la mobilité des électrons varie avec l'épaisseur du film Si [2]. Pour faire face à ces défis, une autre architecture SOI 3D a été proposée, il s'agit du FinFET.

1.5.3. Le Transistor FinFET

La première structure du transistor FinFET, fabriquée sur le substrat SOI, a été publiée en 1989 [4]. Le FinFET possède un canal de silicium très mince est tourné d'un angle 90° par

rapport à la surface plate avec la création d'un aileron en anglais Fin (figure 1.6) [5]. La grille couvre le canal sur les trois côtés. Par conséquent, la grille a un meilleur contrôle du canal conduisant à une meilleure maîtrise des effets canal court et de pente sous seuil [5].

Le transistor FinFET est ainsi considéré comme une meilleure structure dans l'amélioration de l'intégrité électrostatique, la vitesse, la réalisation d'un courant très élevé, un DIBL réduit et un excellent sous seuil (60mV/décade) [6]. La société INTEL a été la première à introduire le 3D FinFET à trois grilles en technologie CMOS 22 nm dans leurs processeurs haute gamme (*Ivy Bridge*) à partir de juin 2012 [14]. Cependant, le FinFET est assez compliqué et difficile à réaliser parce que le Fin doit être étroit et uniforme, avec un diélectrique de grille sur tous les côtés et les coins. En outre, cette largeur de Fin rend le transistor FinFET très sensibles, ce qui conduit à des fluctuations dans la tension de seuil. De plus, la géométrie du FinFET est sensible aux couplages parasites supplémentaires [6]. Le FinFET possède donc le potentiel de prendre une position dominante dans les futures générations de la technologie CMOS. Mais, comme l'architecture est en 3D, cela conduit à des coûts de fabrication très élevés avec une difficulté dans la maîtrise du processus de fabrication. Pour cela, il existe d'autres dispositifs qui seraient plus intéressants pour les applications mobiles, de par leur faible consommation de puissance, comme les UTBB FD-SOI qui ont le potentiel de maintenir en vigueur la loi de Moore [6].

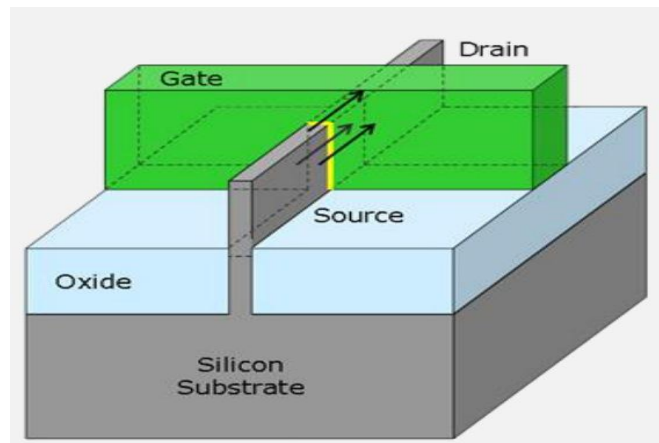


Figure 1. 6. Schéma de la structure simplifié du FinFET [5]

1.5.4. Transistor UTBB FD-SOI

Les transistors UTBB FD-SOI sont des transistors avec une couche ultra-mince de film de silicium Si et d'oxyde enterré BOX (figure 1.7 [23]). Ce type de transistor est largement

reconnu comme un candidat promoteur pour des nœuds technologiques inférieurs à 20 nm. Grâce à son excellent contrôle électrostatique et l'amélioration des effets canal-court, l'introduction d'une couche fortement dopée au-dessous de l'oxyde enterré vise à la suppression du couplage du substrat et ouvre la voie à une multiple tension de seuil V_{th} .

De plus, l'UTBB FD-SOI reste une technologie planaire et ainsi facilite la transition des technologies conventionnelles, dans ce sens où la fabrication de l'UTBB FD-SOI est largement simplifiée par rapport au FinFET.

Une tension de fonctionnement réduite et une tension de seuil permettent certes d'avoir un composant très demandé pour les applications exigeant une faible consommation de puissance comme les circuits numériques (portables), mais il ne peut être adapté aux systèmes analogiques haute fréquence travaillant en fortes puissances. Delà, un autre type de transistors a émergé : le HEMT (*High Electron Mobility Transistor*) en GaN.

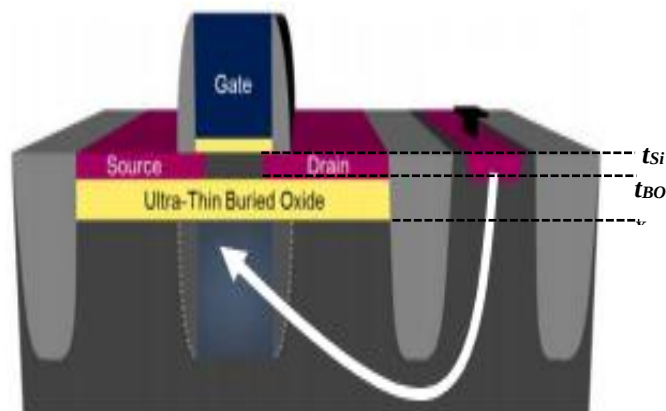


Figure 1. 7. Schéma de la structure simplifié du transistor UTBB FD-SOI [23]

1.6. Transistor HEMT

Le transistor HEMT, un transistor à haute mobilité électronique, est apparu pour la première fois en 1979 [10]. Contrairement aux autres transistors à effet de champ, les transistors HEMT sont aujourd'hui les composants ayant connu la plus grande évolution. Le transfert du courant se fait grâce à la formation d'un puits de potentiel au niveau de l'hétérojonction, c'est-à-dire une jonction entre deux matériaux ayant des énergies de bande interdite différentes. La conséquence de cette hétérojonction est la création d'un canal très fin dans un matériau non dopé de très faible résistance, entraînant une mobilité d'électrons élevée. Cette couche est appelée gaz d'électrons à deux dimensions. Le transistor HEMT

possède donc non seulement une haute mobilité électronique, mais aussi des temps de transition très courts d'où une capacité à travailler à des fréquences relativement élevées.

Ce type de transistor est utilisé principalement avec des technologies III-V. La première technologie est celle basé sur l'arséniure de Gallium (GaAs) qui permet des applications de puissance jusqu'à la centaine de GHz. Mais depuis les années 2000, la technologie en Nitrure de Gallium (HEMT GaN) ne cesse d'évoluer grâce à sa capacité à supporter des champs plus importants par rapport à la technologie GaAs [11].

Pourquoi le GaN ?

Le silicium Si a été pendant longtemps le matériau de choix pour les applications dans le domaine de l'amplification de puissance. L'inconvénient majeur de cette technologie est la des défauts cristallins au niveau de la surface Silicium-dioxyde de Silicium (Si-SiO₂) causé par les défauts au niveau de dioxyde de silicium et le désaccord de mailles [24]. Les composants à base de GaAs ont alors présenté une alternative grâce à leurs bonnes performances en fréquence qui les orientent vers le domaine de la téléphonie mobile, actuellement en plein essor. Cependant, la technologie GaAs souffre de sa faible densité de puissance due à son faible champ de claquage [24].

Dans le but d'obtenir de fortes densités de puissances en haute fréquence, des transistors à base de matériaux grands gap permettraient d'avoir un fort champ de claquage et une forte densité d'électrons. Le nitrure de gallium répond favorablement à ces objectifs et offre beaucoup de potentialités. Le Tableau 1.2 reprend les différentes caractéristiques physiques et électriques du nitrure de gallium ainsi que leur comparaison avec le silicium Si et l'arséniure de gallium GaAs.

D'après ce tableau, le premier avantage est que le GaN possède une largeur de bande interdite supérieur à 2 eV. Donc, il est considéré comme un semi-conducteur grand gap. En effet, la largeur de la bande interdite montre l'aptitude du semi-conducteur à résister aux radiations et à supporter une forte température.

L'augmentation de la résistance parasite est due à la faible mobilité de charges, ceci engendre plus de pertes, donc moins de gain. De plus, ces effets s'intensifieront pour des fonctionnements aux hautes fréquences et à des températures élevées. Il convient de noter que

la mobilité des électrons dans le canal de la structure HEMT AlGa_N/Ga_N sur Si est de l'ordre 2000 cm²/V.s.

Tableau 1. 2 Caractéristiques du matériau GaN comparé au Si et au GaAs [11]

Semi-conducteur		Si	GaAs	GaN
Caractéristiques	Unités			
Largeur de la bande interdite	eV	1.1	1.43	3.39
Mobilité des électrons à 300 K	Cm ² V ⁻¹ s ⁻¹	1350	6000	1500
Vitesse de saturation des électrons	10 ⁷ cm/s	1	1	2.5
Champ critique	10 ⁶ V/cm	0.3	0.4	3.3
Conductivité thermique	W.cm ⁻¹ .K ¹	1.5	0.5	1.7
Densité de porteurs intrinsèques	cm ⁻³	1.5 *10 ¹⁰	1.79* 10 ⁶	1.9* 10¹⁰
Constante de diélectrique relative	ε _r	11.8	12.5	9
Température Max	K	600	760	1930

De plus, une vitesse de saturation des électrons relativement importante favorise les applications hautes fréquence alors qu'une forte densité d'électrons dans le canal des transistors hétérostructure AlGa_N/Ga_N est un grand avantage pour l'amplification de puissance. En effet, plus le gap est important, plus la tension de polarisation du transistor est importante. Comme le GaN possède un champ de claquage très important par rapport aux autres matériaux, il permet l'obtention d'une puissance de sortie élevée (environ 8 fois supérieure aux technologies III-V conventionnelles telle que le GaAs). De plus, comme la conductivité thermique d'un matériau traduit sa capacité à évacuer la chaleur, celle du GaN (de l'ordre de 1.3 Wcm⁻¹K⁻¹) est suffisamment élevée pour pallier au problème de l'auto-échauffement du composant.

1.7. Conclusion

Dans ce chapitre nous avons discuté les différents types de transistors qui émergent dans la conception des circuits intégrés radiofréquences. C'est ainsi que des variantes plus

performantes du MOSFET (UTB FD-SOI, FinFET, UTBB FD-SOI) ont vu le jour pour booster cette filière.

Il en est de même pour les applications de puissance, où le transistor HEMT en GaN s'est imposé par rapport aux autres matériaux (GaAs, Si). Le transistor HEMT AlGaIn/GaN est en effet considéré comme un excellent candidat pour les applications où une haute puissance est exigée à des fréquences d'opération élevées.

Ainsi, nous avons pu conclure l'importance du transistor à effet de champ dans l'industrie des produits électroniques radiofréquence. Pour cela, sa dépendance par rapport à la fréquence devra être analysée et modélisée de façon appropriée. Les prochains chapitres de ce manuscrit seront dédiés à traiter cette problématique, et ce, en développant des modèles mathématiques performants exploitable dans les processus de conception assistée par ordinateur tout en considérant une large bande de fréquence.

Mais avant cela, il est préalable d'investiguer le transistor en régime statique avant de passer à des plages de fréquence élevées. En conséquence, nous allons aborder dans le prochain chapitre les caractéristiques DC des transistors à effet de champ.

CHAPITRE 2

Caractéristiques des transistors à effet de champ

2.1. Introduction

Les transistors unipolaires forment la pierre angulaire de la microélectronique moderne. En effet, comme mentionné au chapitre précédent, les MOSFET à base de substrat SOI (*Silicon-on-Insulator*) tels que le MOSFET partiellement déserté PD, le FinFET et l'UTBB FD-SOI suscitent un grand centre d'intérêt en raison de leur large panel d'applications dans les systèmes numériques et analogiques de hautes fréquences. Quant aux transistors HEMT à base de nitrure de gallium, ils offrent la possibilité de manipuler de fortes puissances en haute fréquence.

Maitriser le comportement de ces dispositifs aux fréquences radiofréquence constitue un véritable défi aux concepteurs des fonctions de microélectronique. A cet effet, technologues et physicien ont investi des travaux colossaux pour caractériser et modéliser ces composants de base. Parmi les caractéristiques les plus importantes, nous trouvons celles qui décrivent le fonctionnement du transistor en régime statique. En effet, cette caractérisation DC permet d'en déduire des paramètres intrinsèques au transistor en question qui seront exploités par la suite dans la caractérisation radiofréquence et fait l'objet de notre étude.

C'est dans ce sens, que nous allons présenter dans ce chapitre les caractéristiques en régime statique des transistors à effet de champ discutés dans le chapitre 1. Ensuite, et en vue d'introduire à la caractérisation RF nous concluons le présent chapitre par décrire les méthodes et les bancs de mesures utilisées dans les applications RF.

2.2. Transistors MOSFET partiellement désertés

Pour les technologues et les concepteurs, les transistors partiellement désertés sont plus faciles à utiliser car plus proches des dispositifs en silicium massif [2]. En fait, sur la base de l'épaisseur du film de silicium et de son niveau de dopage, il est possible de distinguer deux types de structure, PD (*Partially Deserted*) ou FD (*Fully Depleted*), sachant que l'épaisseur maximale de la zone désertée est donnée par :

$$X_{Dmax} = \sqrt{\frac{4\varepsilon_{si}\varphi_F}{qN_a}} \quad (2 - 1)$$

où ε_{si} est la permittivité de silicium, q est la charge élémentaire, φ_F est le potentiel de Fermi du silicium et N_a est le dopage en ions accepteurs du film de silicium.

Le mode partiellement déserté du transistor MOS sur substrat SOI correspond à une épaisseur de film de silicium t_{si} deux fois supérieur à l'épaisseur maximale de la zone désertée sous la grille, c'est-à-dire $t_{si} > 2 \cdot X_{Dmax}$. Dans ce type de transistor, le film actif de silicium présente une zone interne neutre, située entre la zone de déplétion et la couche d'oxyde enterré (figure 1.4, chapitre 1). Cette zone empêche toute interaction entre les faces avant et arrière du transistor. Dans notre étude, nous avons considéré les transistors de la technologie PD-SOI 130 nm de type BC (*Body-Contacted*). Ce type de transistor possède des prises externes reliées électriquement à la source.

2.2.1. Caractéristiques statiques du MOS PD-SOI 130 nm

Il est très important de bien caractériser le transistor en régime statique avant de le caractériser à des plages de fréquence élevées. Certains paramètres tels que le courant maximal I_{DSmax} , la transconductance g_m , la conductance g_{DS} et la tension de seuil V_{th} ne seront certes pas utilisés d'une façon directe pour notre modélisation basée sur les mesures hyperfréquences, mais ils serviront comme d'éléments de comparaison et donneront des informations très utiles sur les limites d'utilisation de ces composants.

a. Caractéristiques I_{DS} - V_{DS}

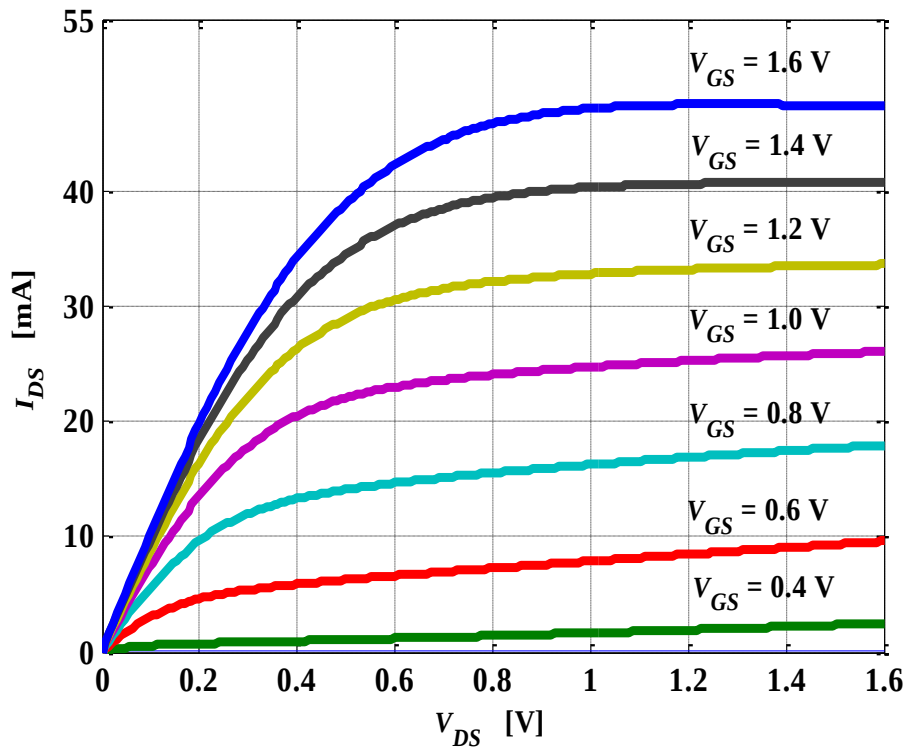


Figure 2. 1. Caractéristiques de sortie $I_{DS} = f(V_{DS})$ mesurées du transistor MOS SOI PD-SOI 130 nm

Les caractéristiques $I_{DS} = f(V_{DS})$ du MOS PD-SOI 130 nm sont montrées à la figure 2.1. La conductance statique g_{DS} (figure 2.2) est donnée par l'équation (2-2).

$$g_{DS} = \left. \frac{\delta I_{DS}}{\delta V_{DS}} \right|_{V_{GS}=cste} \quad (2-2)$$

Elle représente la dérivée du courant I_{DS} par rapport à la tension V_{DS} .

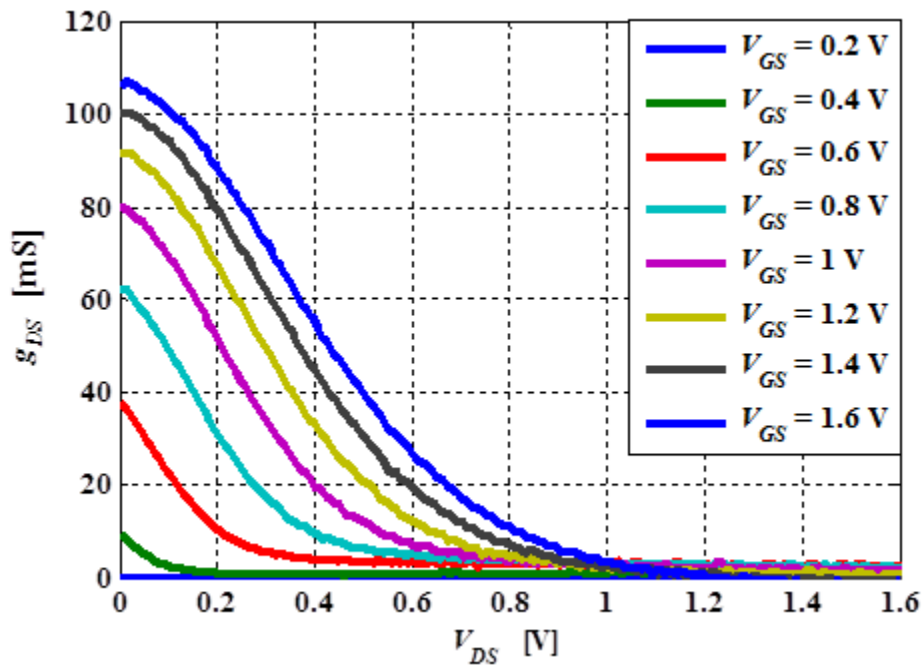


Figure 2. 2. Conductances statiques g_{DS} mesurées du transistor MOS SOI PD-SOI 130 nm

b. Caractéristiques I_{DS} - V_{GS}

Les figures 2.3 et 2.4 illustrent respectivement les caractéristiques $I_{DS} = f(V_{GS})$ et la transconductance g_m du transistor MOS SOI PD-SOI 130 nm en saturation et en régime linéaire (à $V_{DS} = 1.2$ V et $V_{DS} = 0.05$ V).

La transconductance statique g_m , donnée par l'équation (2-3), représente la dérivée du courant I_{DS} par rapport à la tension V_{GS} .

$$g_m = \left. \frac{\delta I_{DS}}{\delta V_{GS}} \right|_{V_{DS}=cte} \quad (2-3)$$

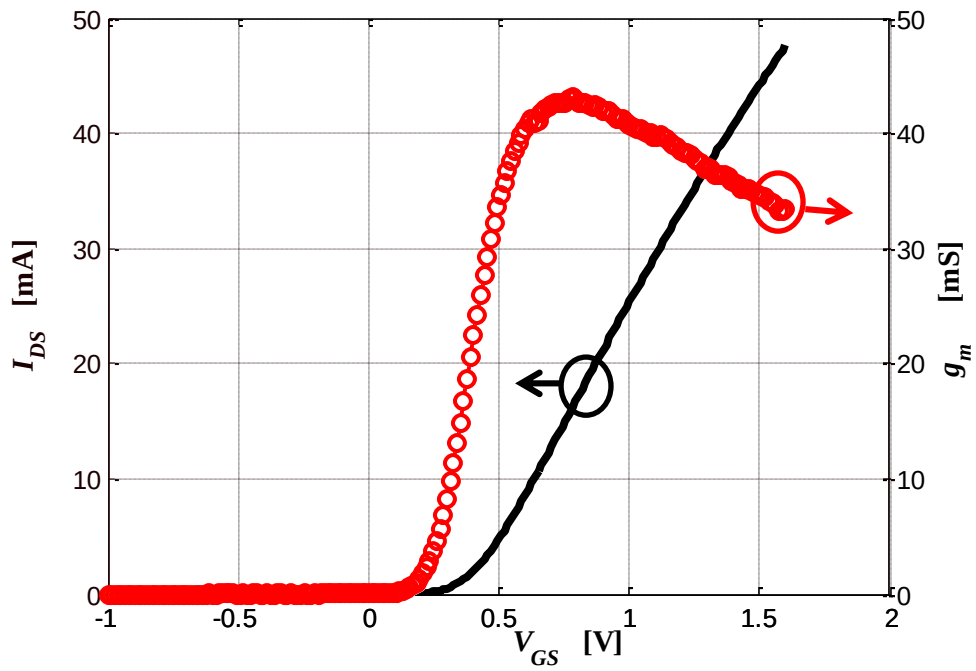


Figure 2. 3. Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurées du transistor MOS PD-SOI 130 nm à $V_{ds} = 1.2$ V

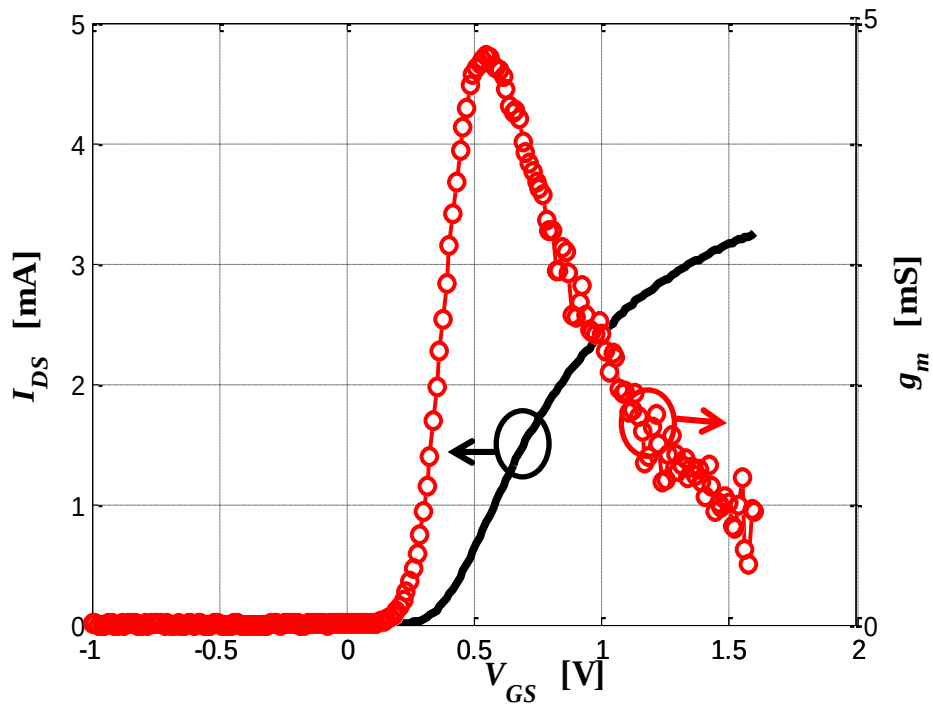


Figure 2. 4. Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurées du transistor MOS PD-SOI 130 nm à $V_{ds} = 0.05$ V

c. Tension de seuil V_{th}

Comment définir et extraire la valeur de la tension de seuil a été, pendant longtemps, un sujet de débat entre concepteurs. Il est devenu encore plus pertinent avec des applications fonctionnant près et au-dessous de ce point critique. La tension de seuil est la tension nécessaire à la grille pour laquelle le transistor passe de l'état bloqué à l'état passant. Il s'agit donc de la tension pour laquelle le canal entre la source et le drain se forme. Elle peut être extraite moyennant la méthode de deuxième dérivée de la caractéristique $I_{DS}-V_{GS}$ (à $V_{DS} = 1.2$ V) décrite dans l'équation (2-4). Dans ce cas, la valeur de la tension de seuil du transistor MOS PD-SOI 130 nm est la tension V_{GS} correspondante au maximum de la deuxième dérivée de $I_{DS}-V_{GS}$ de la figure 2.5. Il existe cependant d'autres techniques permettant de déduire ce paramètre [25-26].

$$\frac{d^2 I_{ds}}{d^2 V_{gs}} = \frac{dg_m}{dV_{gs}} \quad (2 - 4)$$

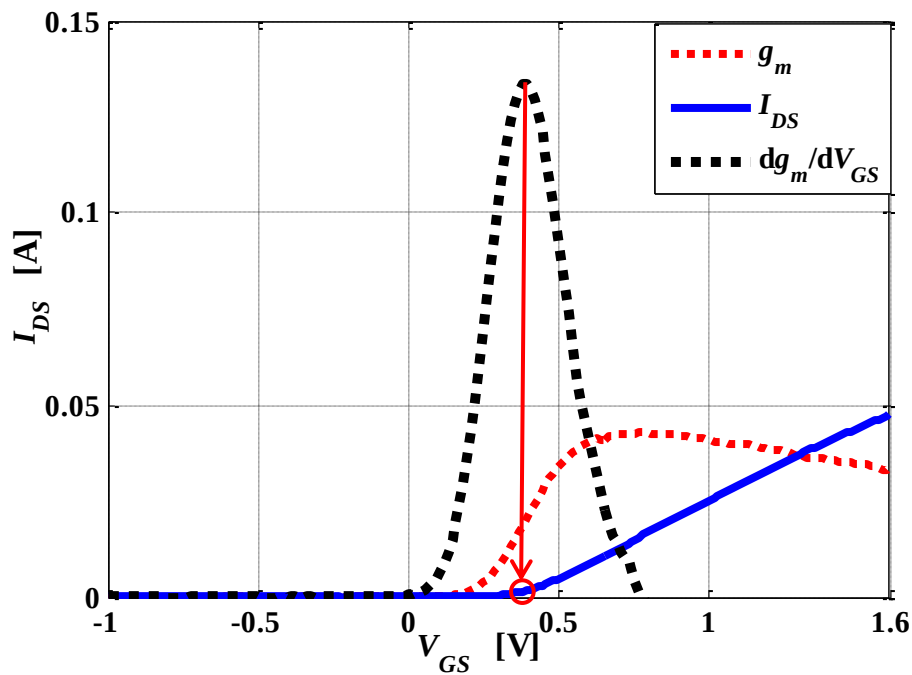


Figure 2. 5. Extraction de la tension de seuil V_{th} en utilisant la méthode de deuxième dérivée du transistor MOS PD-SOI 130 nm

2.3. Transistor FinFET

La figure 2.6 représente la configuration double-grille d'un FinFET. La caractéristique particulière du FinFET est le fait que son canal de conduction est enroulé autour d'une couche fine du silicium. Le transistor Fin FET a plus de dimensions géométriques que le transistor MOS sur substrat massif : il peut avoir plusieurs doigts de grille en parallèle, ce qui peut induire un courant de drain plus élevé. La largeur équivalente totale est donnée par la formule suivante [27].

$$W_T = (W_{fin} + 2H_{fin})N_{fin} \quad (2-5)$$

où W_{fin} , H_{fin} et N_{fin} représentent, respectivement, la largeur, la hauteur et le nombre des doigts.

Le transistor FinFET présente de meilleures performances grâce sa géométrie et à sa grande immunité aux effets de canaux courts. Il présente une meilleure réduction du courant tunnel de grille et une amélioration de la pente sous le seuil. L'utilisation d'un transistor avec des doigts multiples augmente le courant de sortie avec une largeur de doigt W_{fin} la plus petite possible pour avoir un bon contrôle du canal ($W_{fin} \leq 2/3 L_{min}$) [28].

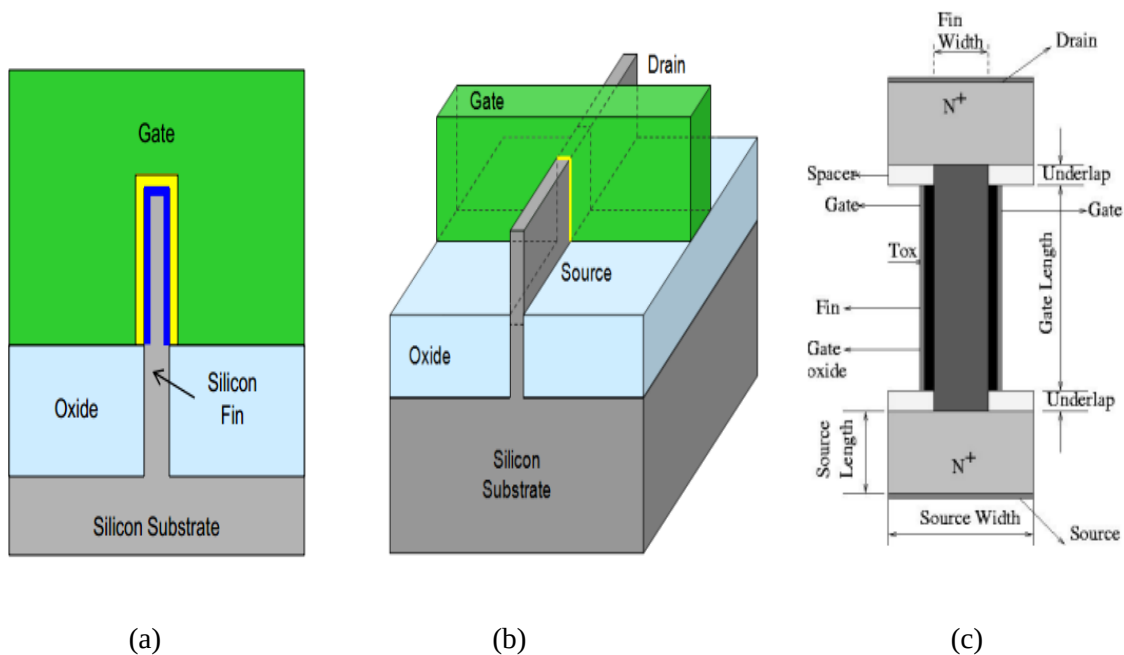


Figure 2. 6. Représentation d'un FinFET sur SOI. (a) vue 2D, (b) vue 3D, (c) vue schématique [28]

a. Caractéristiques I_{DS} - V_{DS} du transistor FinFET N0p13

Les caractéristiques $I_{DS} = f(V_{DS})$ de la figure 2.7 donnent des informations sur le courant de drain maximum que peut délivrer le transistor FinFET N0p13 obtenu pour notre étude. La figure 2.8 donne les valeurs mesurées de la conductance statique g_{DS} pour différentes valeurs de la tension V_{GS} .

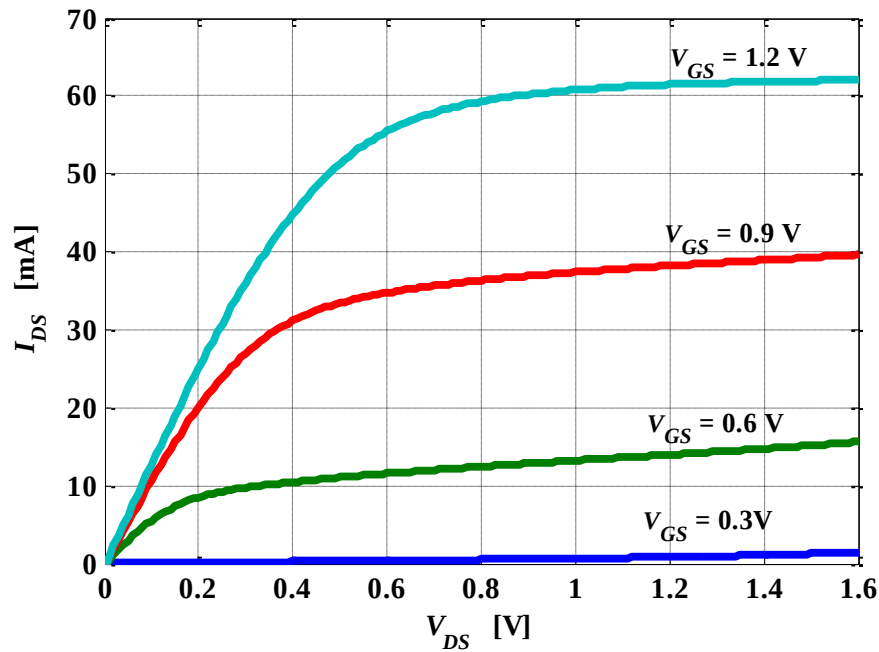


Figure 2. 7. Caractéristiques de sortie $I_{DS} = f(V_{DS})$ mesurées du transistor FinFET N0p13

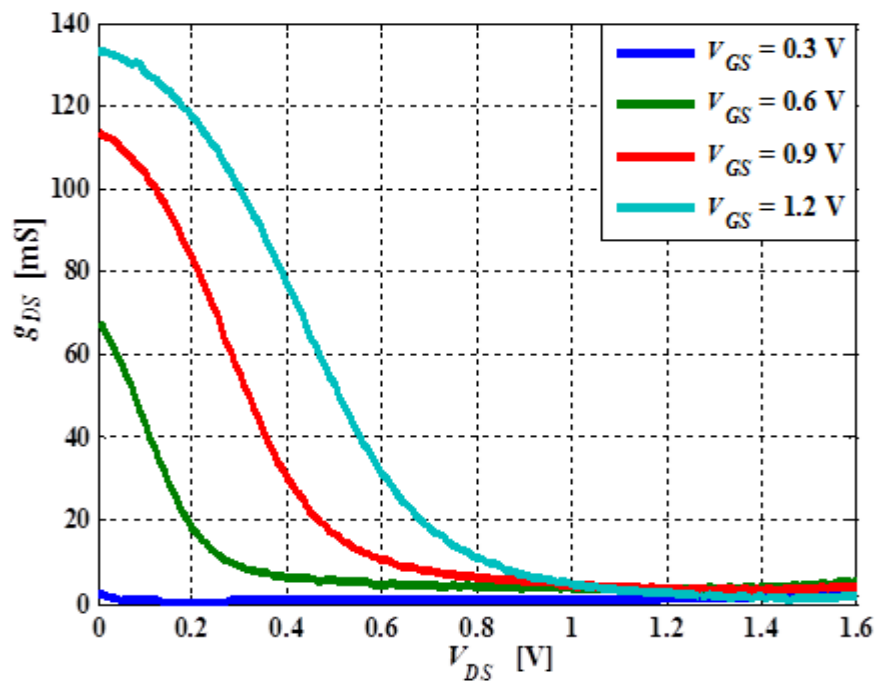
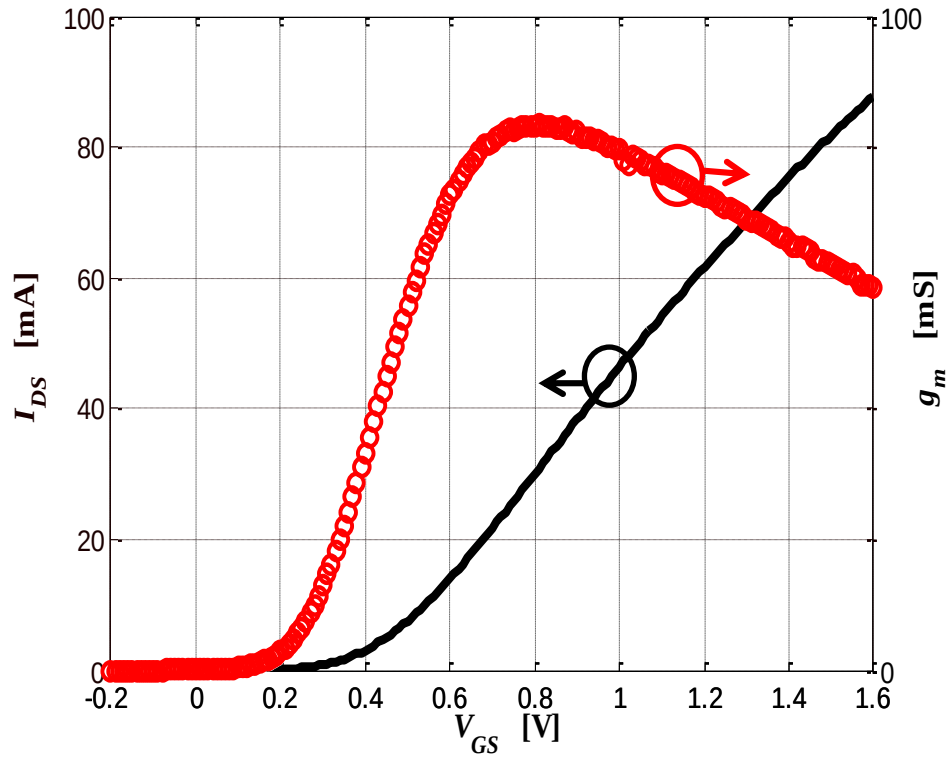
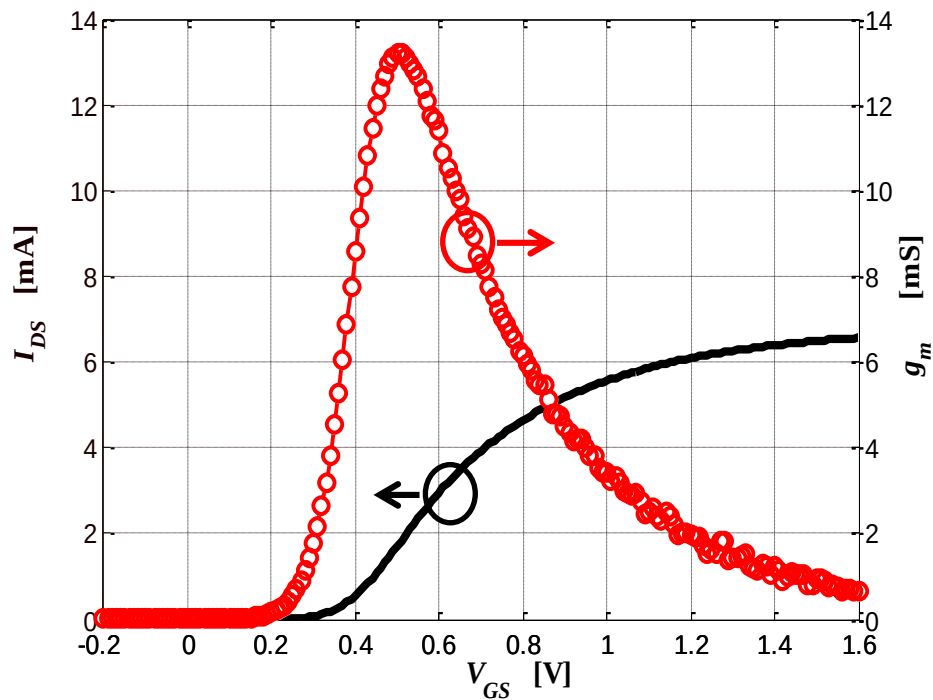


Figure 2. 8. Conductances statiques g_{DS} mesurées du transistor FinFET N0p13

b. Caractéristiques I_{DS} - V_{GS} du transistor FinFET N0p13Figure 2. 9. Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurée du transistor FinFET N0p13 à $V_{ds} = 1.2$ VFigure 2. 10. Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurée du transistor FinFET N0p13 à $V_{ds} = 0.05$ V

Les caractéristiques $I_{DS} = f(V_{GS})$ et la transconductance g_m du transistor FinFET N0p13 en saturation et en linéaire sont données respectivement aux figures 2.9 et 2.10.

c. Tension de seuil V_{th} du transistor FinFET N0p13

L'extraction de la tension de seuil du transistor FinFET N0p13 est de l'ordre de 0.39 V (figure 2.11). Elle a été obtenue à partir de la méthode de deuxième dérivée de I_{DS} en fonction de V_{GS} à $V_{DS} = 1.2$ V.

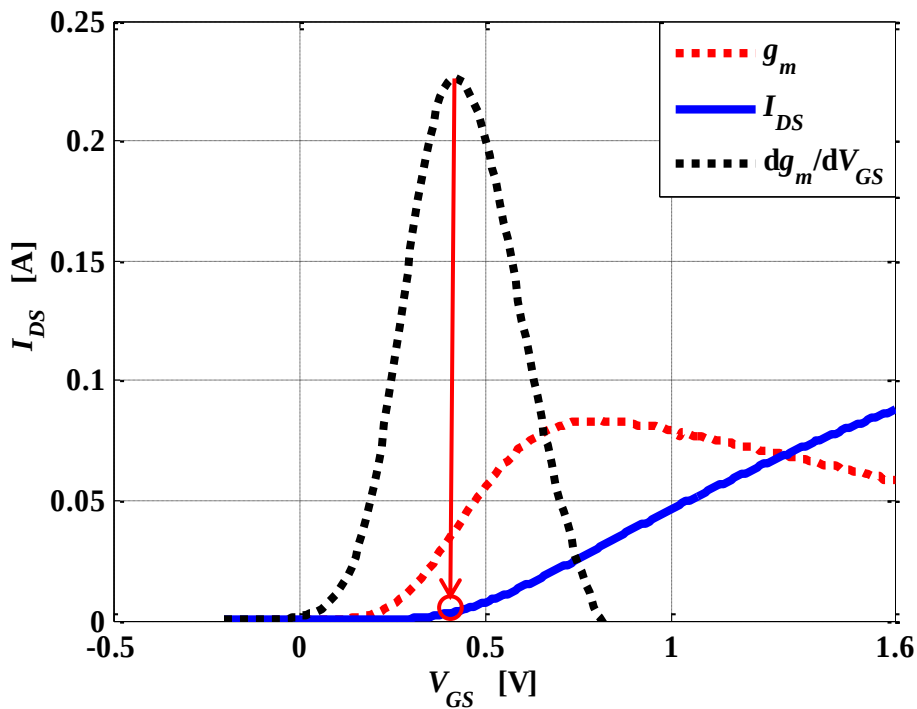


Figure 2. 11. Extraction de la tension V_{th} du FinFET N0p13 utilisant la méthode de deuxième dérivée de I_{DS} - V_{GS}

2.4. Transistor UTBB FD-SOI

Les transistors UTBB FD-SOI sont largement reconnus comme des candidats prometteurs pour des nœuds technologiques inférieurs à 20 nm. Cette technologie de transistor a été introduite pour la première fois par l'industriel STMicroelectronics en 2012 [29]. Dans cette technologie, l'épaisseur de l'oxyde enterré t_{BOX} est inférieure à 25 nm, au-dessus duquel repose le canal du transistor réalisé sur un film de silicium d'épaisseur $t_{Si} < 10$ nm. L'utilisation d'une couche mince d'oxyde enterrée et d'une couche fortement dopée permet d'éliminer les

couplages du substrat et de constituer une grille arrière ; on parle alors de plan de masse GP (*Ground Plane*). Quant à la grille avant, elle est réalisée à partir d'un empilement de matériaux à haute permittivité (*high-k metal gate*). La bonne qualité de l'interface Si-SiO₂ est assurée par le dépôt de l'oxyde d'interface SiO₂ entouré par un matériau high-k (HfO₂) et connecté à une couche métallique d'environ 10 nm fabriquée en nitrure de titane (TiN).

Le procédé de fabrication des transistors UTBB FD-SOI présente plusieurs avantages par rapport aux transistors CMOS sur substrat massif car plusieurs étapes sont éliminées, tel que les lithographies et les implants du canal. Par exemple, en technologie 28 nm, l'utilisation de la technologie FD-SOI permet l'économie d'environ 10% des étapes technologiques et de 7 masques comparé à une technologie sur substrat massif [30]. Par conséquent, une réduction considérable du cout de fabrication est atteinte avec de bonnes performances.

2.4.1. Caractéristiques statiques du transistor UTBB FD-SOI

Dans ce paragraphe nous avons caractérisé en statique plusieurs transistors UTBB FD-SOI de tailles différentes dans le but de montrer l'avantage des transistors de tailles réduites.

a. Caractéristiques I_{DS} - V_{DS}

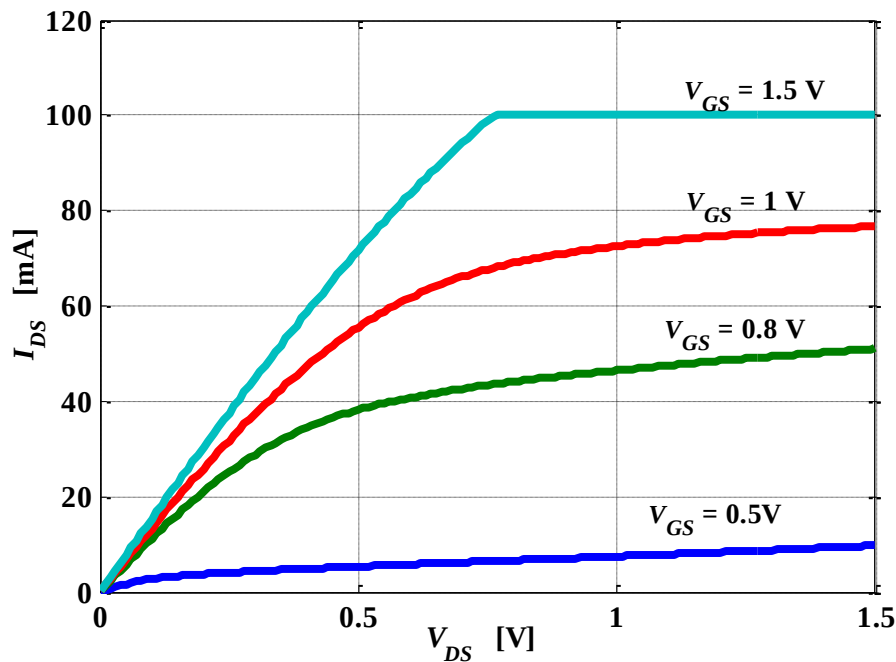


Figure 2. 12. Caractéristiques de sortie $I_{DS} = f(V_{DS})$ mesurées du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m

La figure 2.12 présente la caractéristique $I_{DS} = f(V_{DS})$ pour différentes valeurs de V_{GS} d'un transistor UTBB FD-SOI avec une longueur de grille $L_g = 30$ nm et une largeur $W = 120$ μ m. Les valeurs de la conductance statique g_{DS} extraites à partir des mesures DC pour différentes valeurs de la tension V_{GS} sont montrées à la figure 2.13.

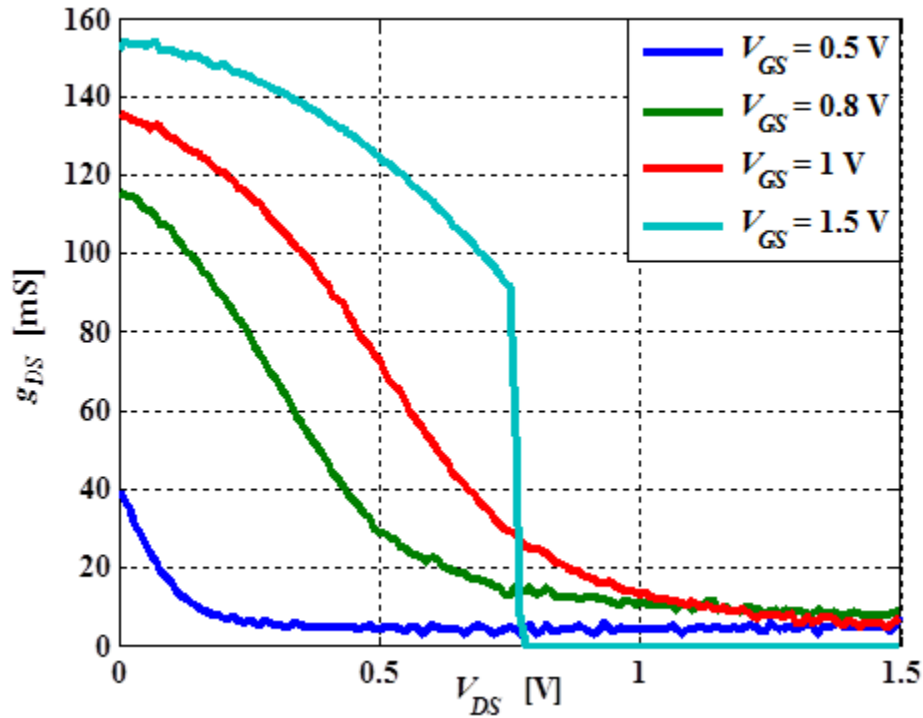


Figure 2. 13. Conductances statiques mesurées g_{DS} du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m

b. Caractéristiques I_{DS} - V_{GS}

Les figures 2.14 et 2.15 montrent les caractéristiques $I_{DS} = f(V_{GS})$ et la transconductance g_m des transistors UTBB FD-SOI avec une largeur de grille $W = 120$ μ m et pour différentes longueurs de grille L_g à $V_{DS} = 1.2$ V.

On peut noter que la réduction de la longueur de grille permet de donner des courants plus forts. C'est l'un des avantages de la réduction de cette grandeur.

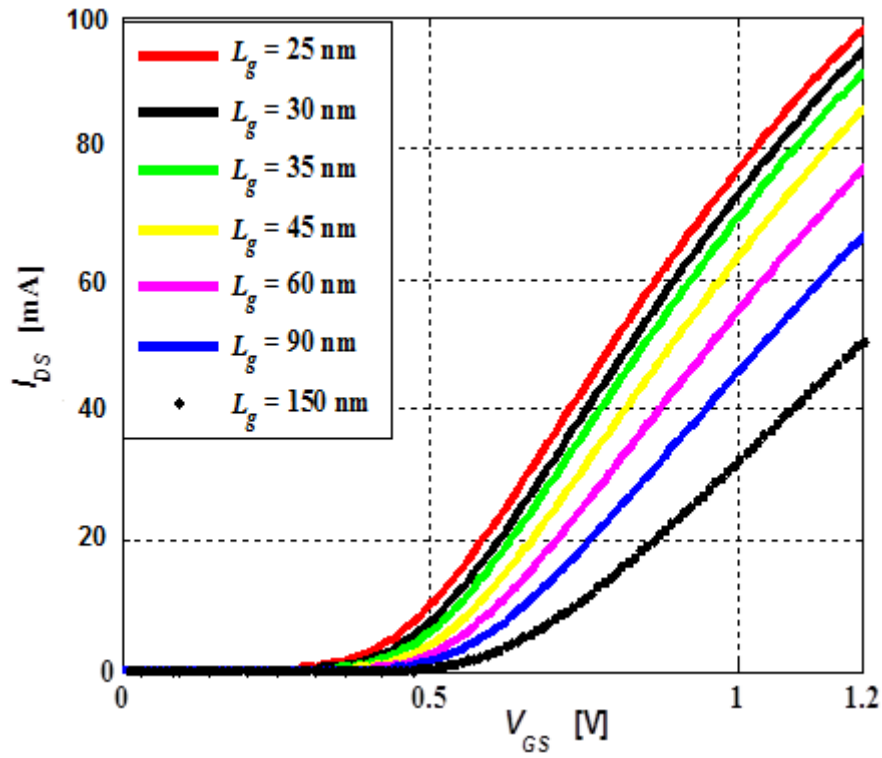


Figure 2. 14. Réseaux de caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurés des transistors UTBB FD-SOI avec une largeur $W = 120 \mu\text{m}$ et différentes longueur de grille L_g à $V_{ds} = 1.2 \text{ V}$

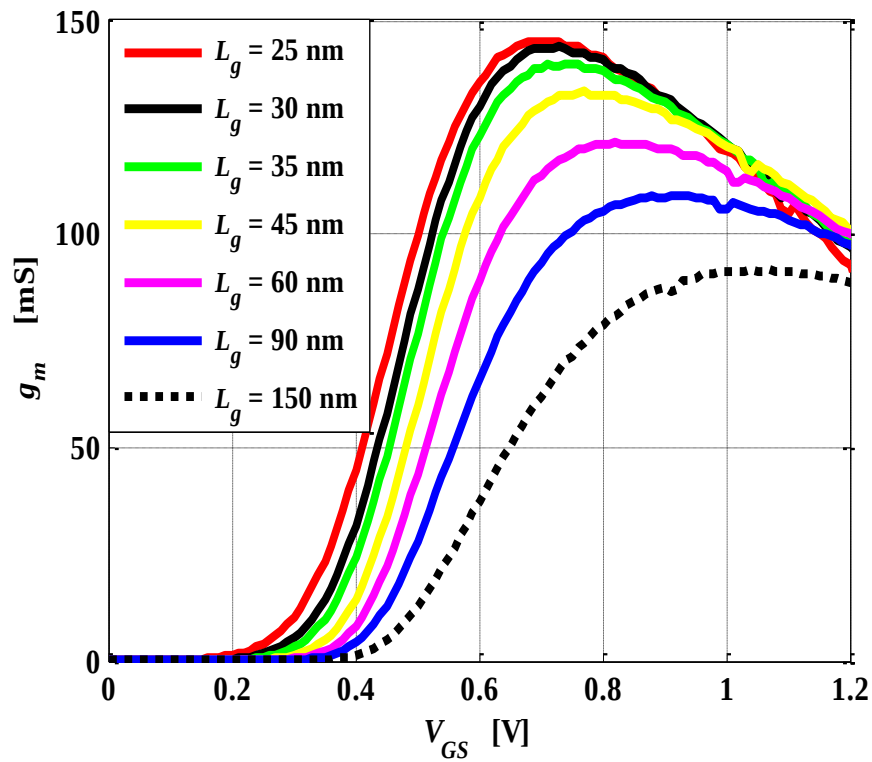


Figure 2. 15. Transconductances statiques mesurées g_m des transistors UTBB FD-SOI avec une largeur $W = 120 \mu\text{m}$ et différentes longueur de grille L_g à $V_{ds} = 1.2 \text{ V}$

c. Tension de seuil V_{th}

Les figures 2.16 et 2.17 donnent les valeurs de la tension de seuil des transistors UTBB FD-SOI avec une largeur $W = 120 \mu\text{m}$ et différentes longueurs de grille en utilisant la méthode de deuxième dérivée.

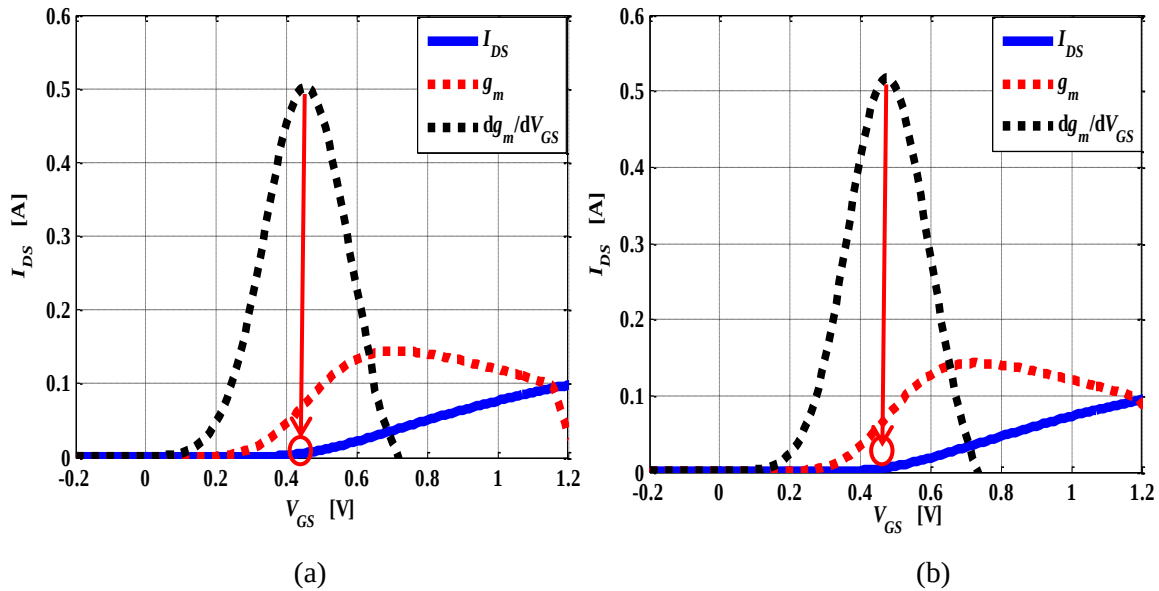


Figure 2. 16. Extraction de la tension de seuil V_{th} utilisant la méthode de deuxième dérivée du transistor UTBB FD-SOI avec une largeur $W = 120 \mu\text{m}$. (a) $L_g = 25 \text{ nm}$, (b) $L_g = 30 \text{ nm}$

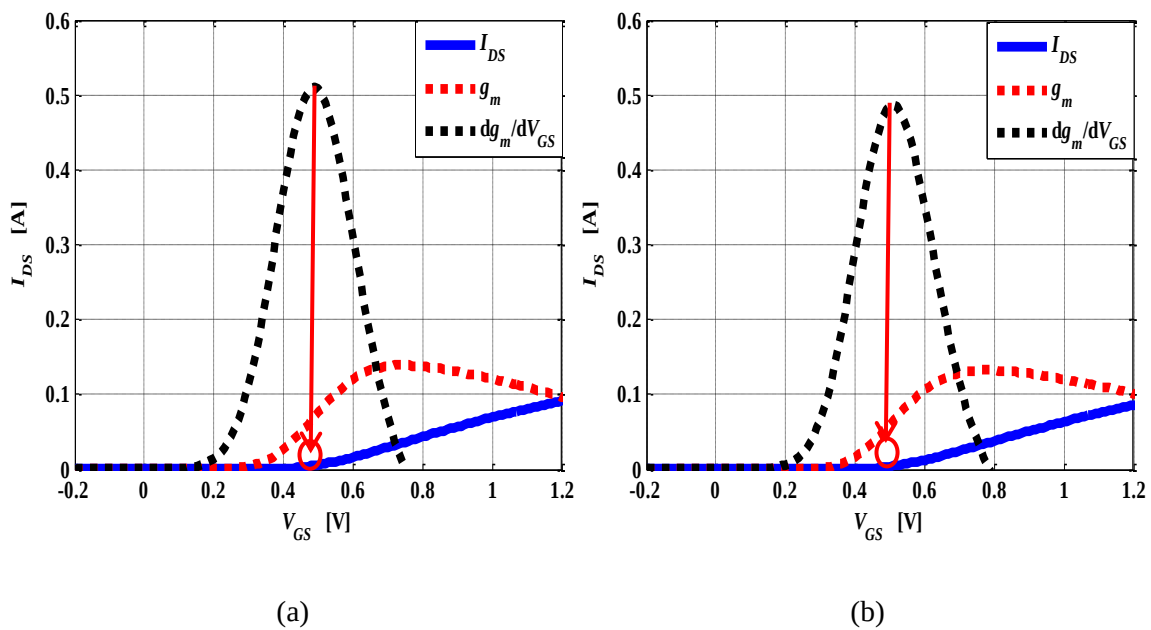


Figure 2. 17. Extraction de la tension de seuil V_{th} utilisant la méthode de deuxième dérivée du transistor UTBB FD-SOI avec une largeur $W = 120 \mu\text{m}$. (a) $L_g = 35 \text{ nm}$, (b) $L_g = 45 \text{ nm}$

D'après ces figures, il est évident que la tension de seuil augmente avec la longueur de grille, mettant en relief un autre avantage qu'offre la réduction de la longueur de grille.

2.5. Transistor HEMT

Le HEMT est considéré comme un dispositif à faible bruit et faible consommation de puissance. Le HEMT présente une hétérojonction dont la conséquence est la création d'un canal très fin dans un matériau non dopé de très faible résistance, entraînant une mobilité d'électrons élevée. Cette couche est appelée gaz d'électrons à deux dimensions.

2.6.1. Transistor HEMT GaN

Les structures à haute mobilité électronique comme le HEMT AlGa_{1-x}N/GaN se distinguent des structures classiques MESFET (*Modulation Electron Surface Field Effect Transistor*) par leur meilleure mobilité électronique. La figure 2.18 présente une structure typique d'un transistor HEMT AlGa_{1-x}N/GaN. Elle est très semblable à celle d'un transistor dont le matériau semi-conducteur est l'Arséniure de Gallium. On distingue trois couches principales :

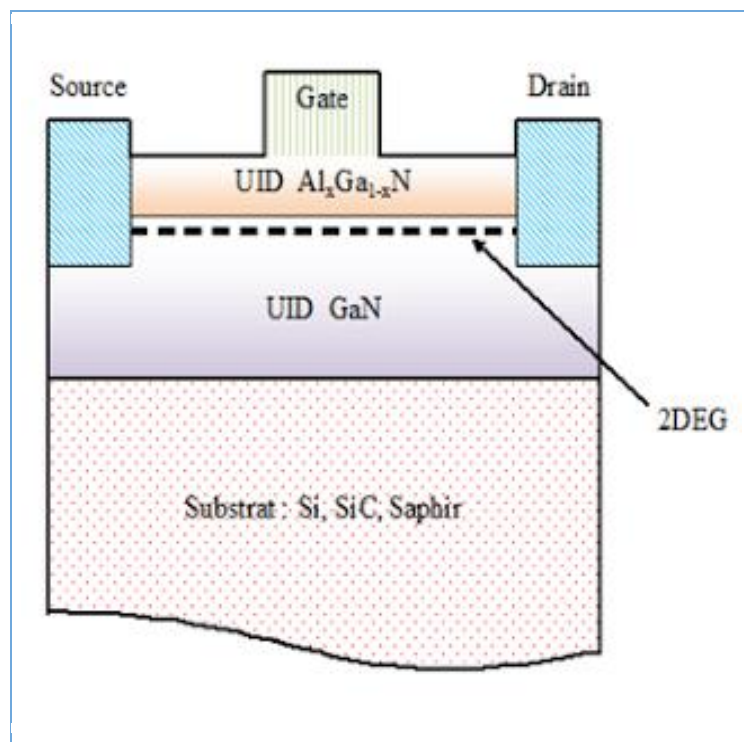


Figure 2. 18. Représentation de la structure d'un transistor HEMT Al_xGa_{1-x}N/ GaN [8]

- une barrière $\text{Al}_x\text{Ga}_{1-x}\text{N}$ de quelques dizaines de nanomètres, où l'indice x représente la fraction molaire ou pourcentage en Aluminium.
- une couche de nitrure de gallium placée juste au-dessous de la couche ternaire. Elle contient le gaz d'électrons dans sa partie supérieure, réparti sur une épaisseur de quelques nanomètres.
- un substrat en silicium. C'est sur celui-ci que sera réalisé le composant.

Avant d'expliquer la manière dont le gaz bidimensionnel se forme, il est nécessaire d'expliquer le mode de conduction du transistor HEMT $\text{AlGaIn}/\text{GaIn}$. Pour cela, il faut analyser le diagramme des bandes d'énergie associées à cette structure.

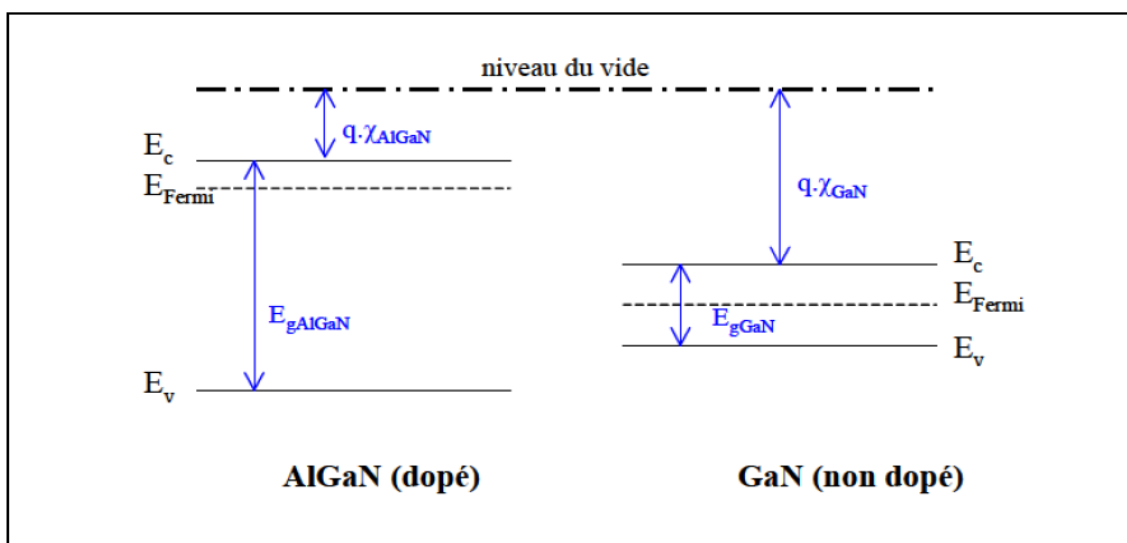


Figure 2. 19. Diagrammes des bandes des matériaux AlGaIn dopé n et GaIn non dopé [32]

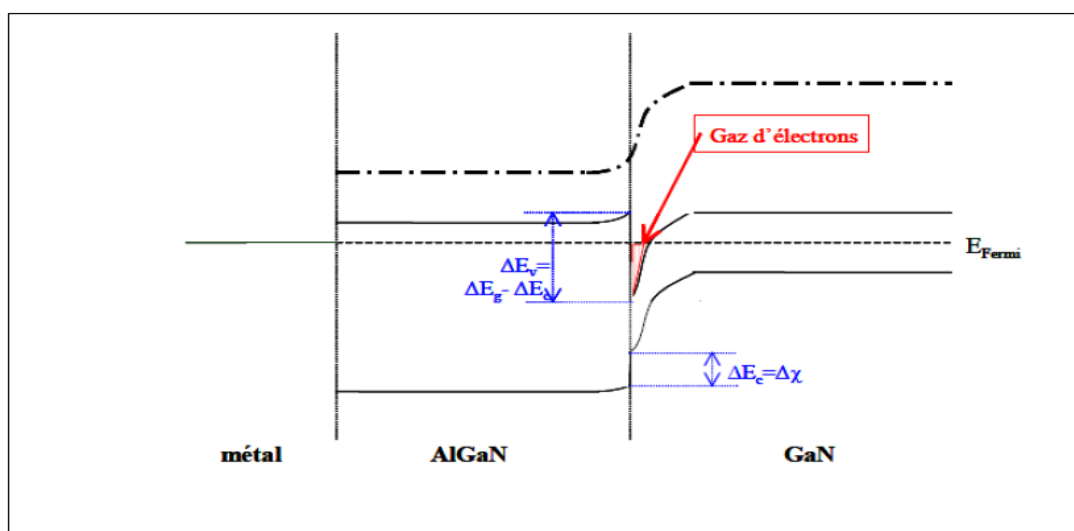


Figure 2. 20. Diagramme des bandes de l'hétérojonction $\text{AlGaIn}/\text{GaIn}$ à l'équilibre thermique [11]

La juxtaposition d'un matériau à large gap (AlGaN : 3.82eV) et d'un autre à gap légèrement plus faible (GaN : 3.4eV) forme une hétérojonction. La figure 2.19 représente les niveaux d'énergie de chaque matériau avant contact. D'après les règles d'Anderson, lors de la jonction de deux matériaux, leur niveau de Fermi s'aligne, ce qui va engendrer une discontinuité dans la bande d'énergie à l'interface [11]. Pour une tension nulle appliquée à la grille, figure 2.20, un puits de potentiel est formé à l'interface. Ce dernier regroupe les charges libres à l'intérieur. Delà, un gaz d'électrons bidimensionnel va être formé, ce qui entraîne le phénomène de conduction. Le canal n'est rien d'autre que ce puits quantique.

La concentration des électrons dans ce canal dépend de la différence de largeur des bandes interdites (ΔE_g) entre les deux matériaux et du niveau de fermi. Le contrôle de l'intensité du courant qui circule dans le canal est l'application d'une tension sur la grille du transistor, va faire augmenter la densité de porteur dans le canal par modulation de gaz bidimensionnel.

2.6. Banc de mesure RF des transistors FET

Dans cette partie, nous allons décrire le banc de mesure utilisé pour la caractérisation RF de transistors à effet de champ, les mesures ont été effectuées au laboratoire WELCOM (*Walonia Electronics and Communication Measurements*) de l'université catholique de louvain UCL en Belgique.

2.7.1. Equipement utilisé

Toutes les mesures RF présentées dans les chapitres suivants ont été obtenues à partir d'un wafer avec le probeur PM8. L'analyseur de réseau vectoriel (VNA) Anritsu 37369A a été utilisé pour mesurer les paramètres-S en petit signal dans une plage de fréquence de 40 MHz à 40GHz. Un analyseur de paramètres de semi-conducteur HP 4145 a été utilisé pour les mesures DC et pour la polarisation DC des mesures RF (figure 2.21).

Les mesures sur wafer sont délicates car elles exigent un niveau d'expertise très élevé afin d'éviter l'endommagement des sondes. Cependant, malgré les difficultés rencontrées dans les mesures sur des wafers, la caractérisation de dispositifs de nœuds avancés utilisant des puces avec boîtier est devenue obsolète. Cela est dû à la taille des dispositifs et aux parasites introduits par le boîtier. Pour ces raisons, les mesures sur wafer sont plus privilégiées pour la caractérisation des dispositifs des nœuds avancés surtout lorsqu'il s'agit de mesures RF.

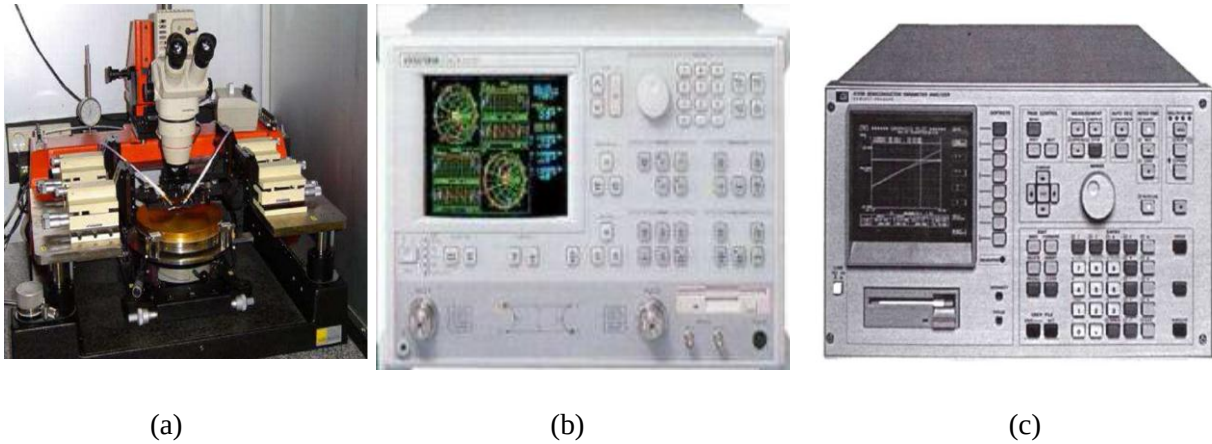


Figure 2. 21. Equipement utilisé pour la caractérisation RF. (a) Probeur PM8, (b) analyseur de réseau vectoriel Anritsu 37369A, (c) analyseur de paramètres de semi-conducteur HP 4145

Les sondes RF utilisées dans un wafer doivent avoir à la fois des caractéristiques électriques particulières, comme une large bande passante et de faibles résistances de contact, et des caractéristiques mécaniques spéciales comme une forme optimisée pour minimiser les pertes, une adaptation d'impédance, une force de contact suffisante ainsi qu'une visibilité des pointes.

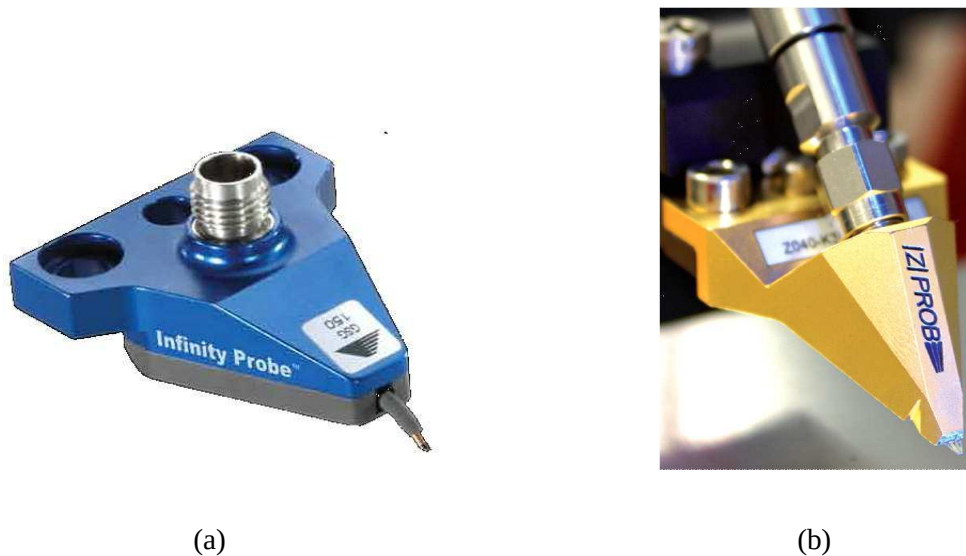


Figure 2. 22. Sondes utilisés pour des mesures DC et RF à la température ambiante et en haute température. (a) sonde infinity, (b) |Z| probe

Pour les mesures sur un wafer à température ambiante, on utilise les sondes infinity [31], alors que pour les mesures en haute température on utilise les sondes |Z| [32] (figure 2.22). Les deux sondes sont utilisées pour un pitch de 100 μm .

Une bonne mise à la terre est essentielle pour les mesures. Les sondes utilisées présentent une configuration GSG (*Ground-Signal-Ground*) tel que montré à la figure 2.23. Deux masses sont utilisées pour bien protéger le signal et pour minimiser les interférences entre le point du signal et les autres conducteurs. Une autre caractéristique importante est que les deux contacts du DUT (*Device Under Test*) sont soumis aux mêmes conditions.

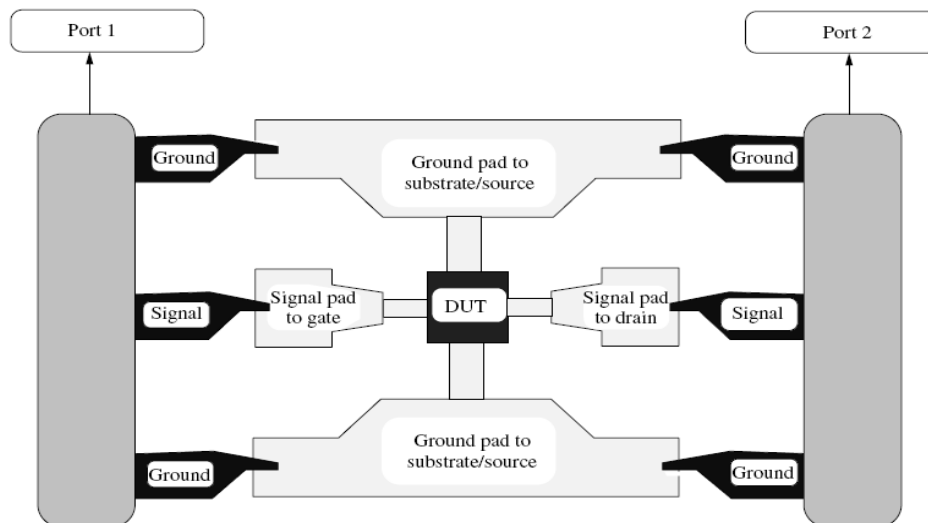


Figure 2. 23. Illustration de la technique G-S-G utilisée dans les mesures RF d'un système à deux ports [33]

2.6.2. Etalonnage

Les appareils de mesures parfaits n'existent pas. Par conséquent, l'étape d'étalonnage est cruciale. Les différents types d'étalonnage sont destinés à enlever les effets des erreurs répétitives et des erreurs prévisibles sur le temps et la température. Il faut noter qu'il existe d'autres types d'erreurs qui ne peuvent pas être supprimées et dont le comportement n'est ni reproductible ni prévisible. En général il existe trois types d'erreurs [34].

a. Erreurs systématiques : selon la technologie utilisée par Agilent Technologies [31], ces erreurs sont dues aux imperfections dans l'équipement. Dans le cas où ces erreurs ne varient pas avec le temps, elles peuvent être caractérisées par l'étalonnage puis retirées mathématiquement pendant le processus de mesure. Les erreurs systématiques existant dans le réseau de mesure sont généralement liées aux réflexions et aux fuites dans le signal.

b. Erreurs aléatoires : elles ne sont pas prévisibles et varient d'une façon aléatoire en fonction du temps. Donc, elles ne peuvent pas être éliminées par l'étalonnage. La principale source des erreurs aléatoires est le bruit des équipements de mesure.

c. Erreurs de dérive : elles se produisent après étalonnage lorsque les performances de système changent. Dans la plupart des cas, elles sont causées par la variation de la température et peuvent être corrigées par un étalonnage supplémentaire.

Généralement, deux étapes de réglage doivent être effectuées avant de commencer la procédure d'étalonnage sur un wafer : l'ajustement de la planarité et l'alignement des sondes.

2.6.2.1. Planarité des sondes

La planarité permet d'assurer que les trois pointes des sondes se trouvent sur le même plan horizontal utilisant un substrat de contact. Si les trois scratches sont produites par un contact simple, la planarité est atteinte (figure 2.24).

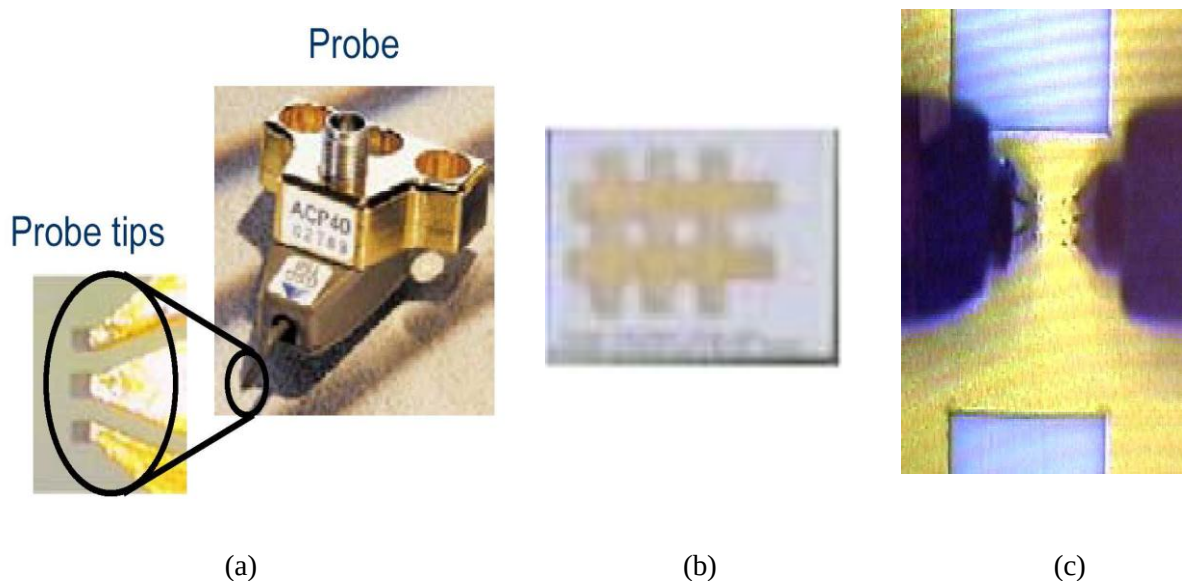


Figure 2. 24. Planéité des sondes RF sur un substrat de contact [33]. (a) illustration des pointes de sonde, (b) le substrat de contact, (c) réglage de la planarité

2.6.2.2. Alignement des sondes

L'alignement consiste à ajuster exactement deux sondes face-à-face (figure 2.25).

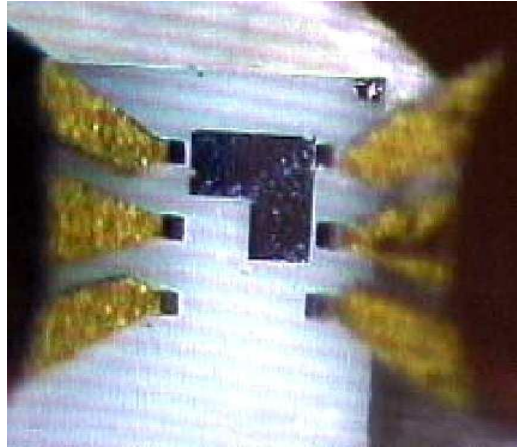


Figure 2. 25. Alignement des deux sondes RF

L'étalonnage pour les mesures RF sur un wafer est réalisé à l'aide d'une impédance standard du substrat montrée à la figure 2.26, cette dernière peut fournir une haute précision et moins de pertes aux deux ports de l'étalonnage. Il existe plusieurs types d'étalonnages à titre d'exemple :

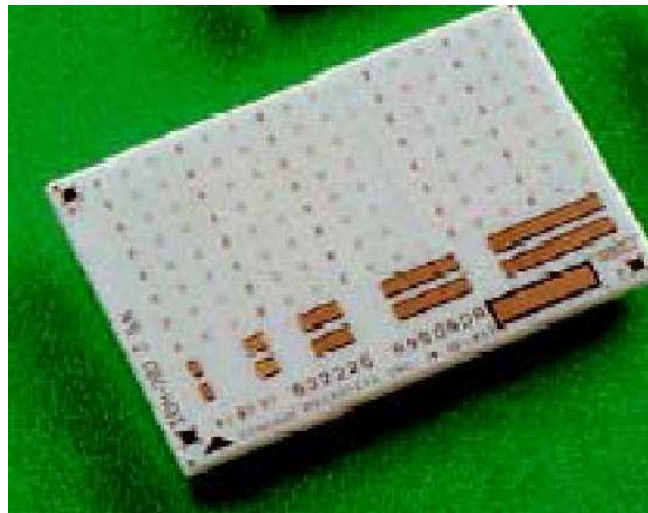


Figure 2. 26. Impédance standard de substrat utilisé en étalonnage [33]

- SOLT (*Short -Open-Load-Through*).
- TRL (*Through-Reflect-Line*).
- LRM (*Line-Reflect-Match*).

Cette dernière est la méthode utilisée dans notre travail. En premier lieu, la charge (*Match*) est mesurée (figure 2.27(a)). Puis, le court-circuit et le circuit ouvert (*Reflect*) sont mesurés à l'aide de l'impédance standard du substrat pour le court-circuit (figure 2.27(b)) ; la mesure en circuit ouvert consistant à soulever les sondes pour ne pas avoir de contacts. Finalement un Through (*Line*) est mesuré (figure 2.27(c)).

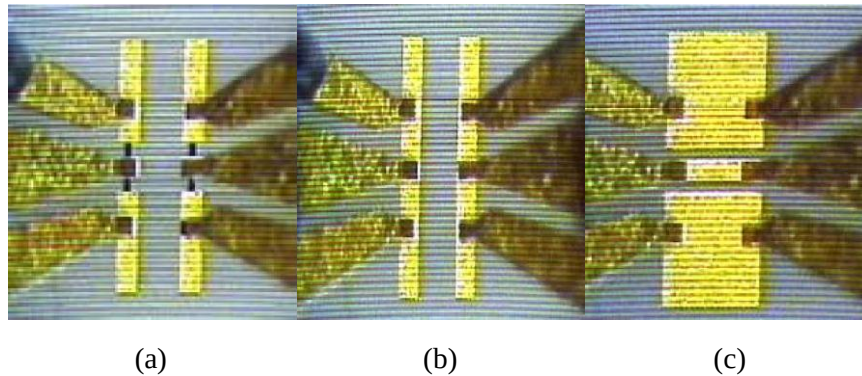


Figure 2. 27. Etapes de l'étalonnage [33]. (a) mesure de charge (*Load*), (b) mesure court-circuit (*Short*), (c) mesure Thru (*Line*)

Après avoir mesuré les structures d'étalonnage standard, l'analyseur de réseau calcule et enregistre les termes de corrections d'erreurs des structures, puis ces termes sont utilisés pour corriger les mesures.

Pour vérifier la justesse de l'étalonnage, une mesure des deux ports en circuit ouvert (*Open*) ne devrait pas entrainer de variation de l'amplitude de S_{11} autour de 0 dB.

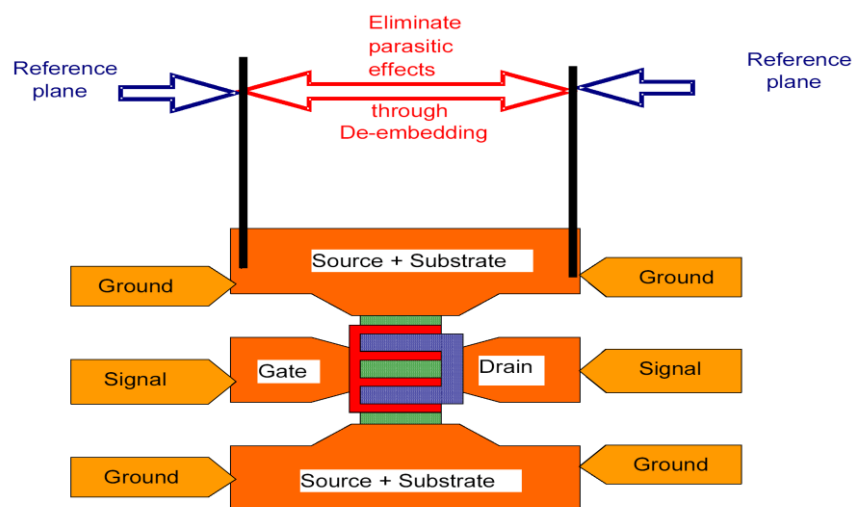


Figure 2. 28. Plan de référence après l'étalonnage [35]

Les plans de référence sont alors supposés être au bout supérieur des sondes en prenant en compte tous les effets le long du chemin aller-retour du VNA aux plots de mesure du composant ou DUT – *Device Under Test* - (figure 2.28). Pour déplacer les plans de référence vers les bords du DUT, une procédure de l'épluchage est nécessaire.

2.6.3. Epluchage

La procédure de l'épluchage est utilisée pour éliminer les parasites liés aux structures de test comprenant les plots et les lignes d'interconnexions. Des structures de test spéciales comme le circuit ouvert et court-circuit devraient être conçues et fabriquées sur la même puce que le transistor sous le test DUT. La structure circuit ouvert (*open*) devrait avoir les mêmes pads que la structure de DUT. La structure court-circuit (*short*) est la même que celle du circuit ouvert, mais, avec des pads court-circuités.

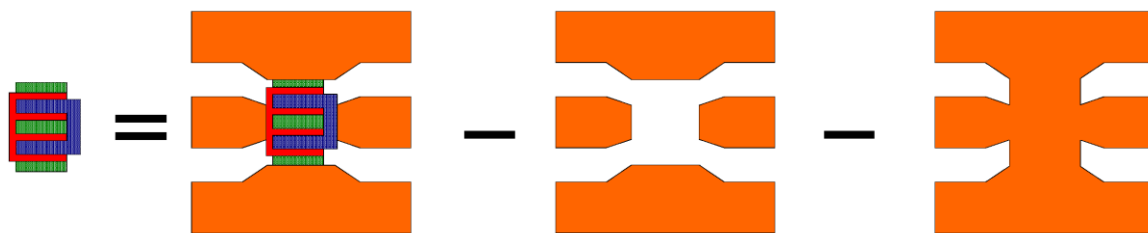


Figure 2. 29. Illustration schématique de la procédure de l'épluchage [35]

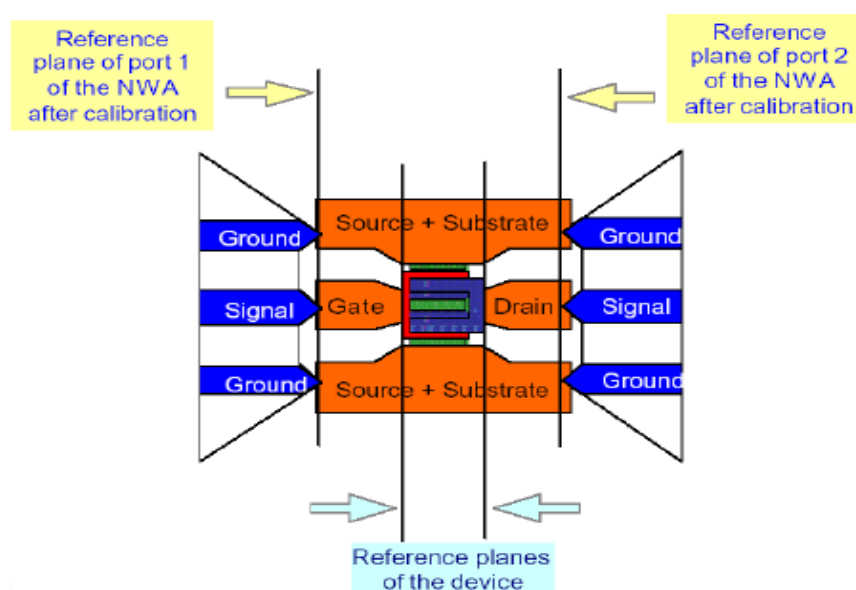


Figure 2. 30. Plan de référence après l'épluchage [34]

Les caractéristiques DUT peuvent alors être obtenues en éliminant les parasites de ces deux structures à partir de la structure originale DUT comme illustré schématiquement dans la Figure 2.29. Après la procédure de l'épluchage, les plans de références sont ramenés au niveau du DUT (figure 2.30).

La figure 2.31 montre le banc de mesure RF disponible au niveau de la salle de caractérisation WELCOM (*Walonia Electronics and Communication Measurements*) de l'université catholique de Louvain UCL en Belgique.

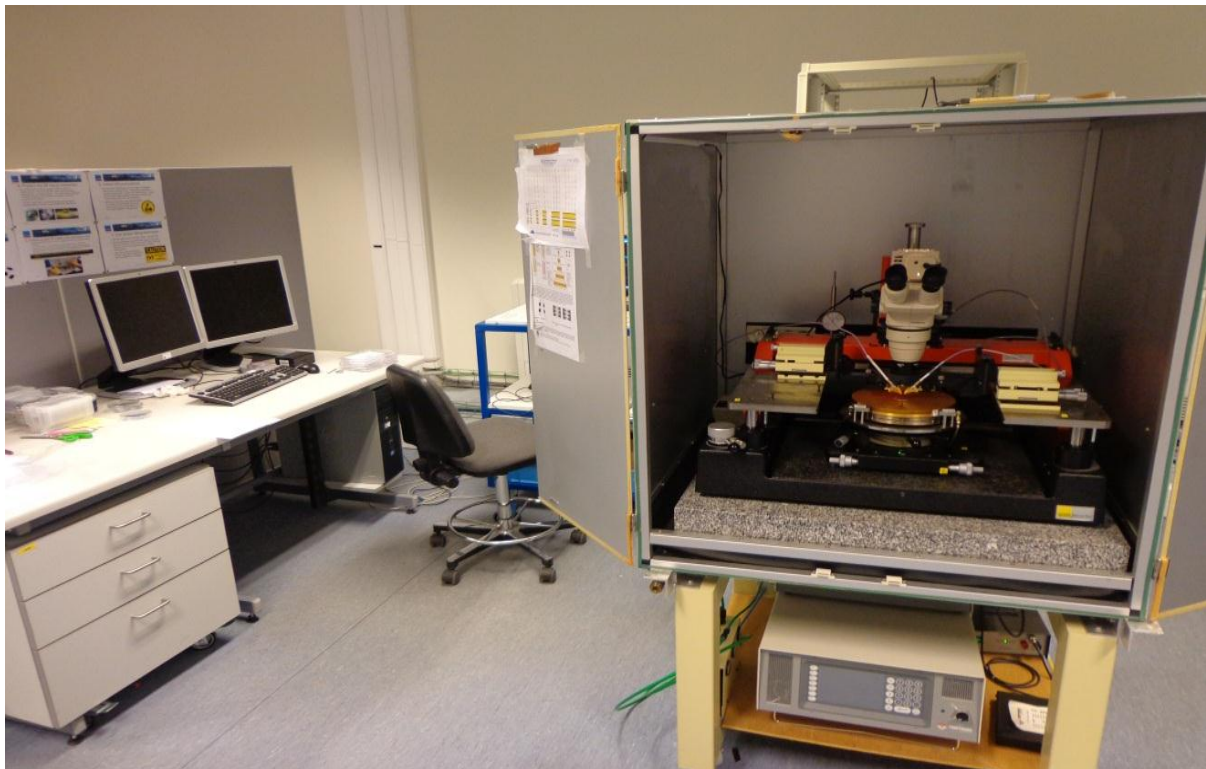


Figure 2. 31. Banc de mesure RF disponible au niveau de la salle de caractérisation WELCOM de l'université catholique de Louvain UCL Belgique

2.7. Mesure des paramètres S

Pour caractériser et modéliser le transistor à effet de champ jusqu'à des fréquences élevées (dans notre cas jusqu'à 40 GHz), il faut obtenir ses paramètres-S en petit signal (régime linéaire). Les transistors sont généralement représentés sous forme de quadripôles constitués de deux ports : l'un à l'entrée et l'autre à la sortie, où sont définis les courants et tensions d'entrée/sortie. La figure 2.31 montre un schéma du transistor MOSFET sous forme d'un quadripôle en source commune, le port1 étant relié à la grille et le port 2 au drain.

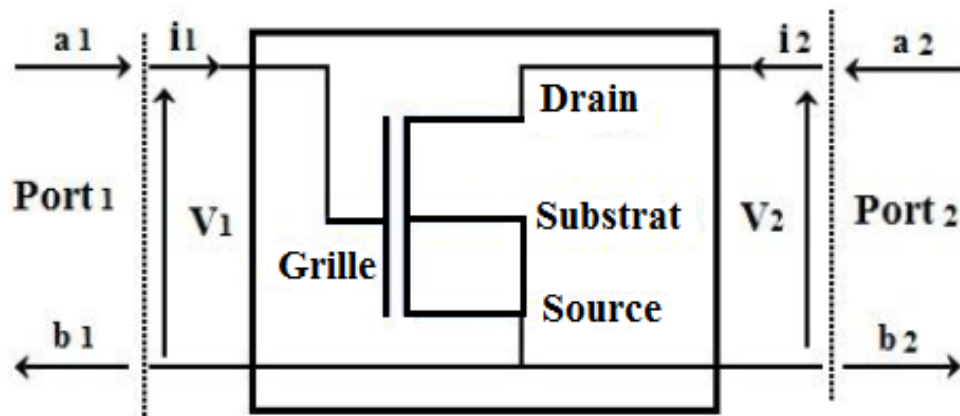


Figure 2. 32. Représentation d'un transistor sous forme d'un quadripôle

2.8. Conclusion

Dans ce chapitre nous avons dressé un aperçu sur les caractéristiques décrivant le comportement des transistors à effet de champ en régime statique. Ainsi, nous avons pu voir comment, à partir des caractéristiques courant-tension, les paramètres des transistors peuvent être déduits, tel que, la conductance, la transconductance ou la tension de seuil.

Par ailleurs, nous avons décrit les bancs de mesure permettant d'extraire de telles caractéristiques que ce soit en DC ou bien en RF, où nous avons présenté les équipements ainsi que les techniques de mesure communément impliqués dans ce cadre.

En arrivant à ce stade, nous pouvons dire qu'un background notable a été acquis concernant la physique et le fonctionnement des transistors à effet de champ émergents. Ces connaissances constitueront une base solide qui nous permettra d'appliquer aisément les méthodes d'extraction des paramètres intrinsèques et extrinsèques de ces transistors. Néanmoins, il devient intéressant de revoir les différentes méthodes et techniques utilisées et proposées dans ce contexte, et ceci fera le sujet du chapitre 3.

CHAPITRE 3

Modélisation des transistors à effet de champ

3.1. Introduction

De nos jours, les applications requérant une interface de communication sans-fil ne cessent d'augmenter. Depuis les différentes générations de la radio-cellulaire (GSM, GPRS, Edge, UMTS...), en passant par les réseaux locaux sans-fil (Wifi, Bluetooth, WiGig...), et en allant vers les réseaux de future génération (réseaux de capteurs, Internet des objets, 5G...) l'importance de dispositifs fonctionnant à des fréquences élevées devient de plus en plus primordiales.

Le transistor à effet de champ (TEC) représente une alternative au transistor bipolaire pour ces applications opérant à des fréquences élevées. Ceci explique, en effet, la présence massive des transistors MOSFET dans les circuits intégrés dans des produits d'électroniques grand public ou autre, et fait comprendre en conséquence, la tendance des investissements faits dans le marché microélectronique dans des dispositifs à base de ce composant.

Néanmoins, comme toute conception de circuits nécessite l'utilisation de simulateurs commerciaux et d'outils d'aide à la conception, établir des modèles fiables pour ces transistors est une première étape à la fois vitale et incontournable, notamment lorsque la dépendance en fréquence de travail est considérée davantage.

Dans cette optique, ce chapitre passe en revue les différents types de modélisations génériques de transistors RF et micro-ondes. Puis, dans un second temps, nous allons nous intéresser à la modélisation phénoménologique et plus particulièrement à la modélisation analytique directe des transistors à effet de champ, c'est-à-dire aux méthodes d'extraction des valeurs des éléments constituant son modèle électrique équivalent. L'idée étant de cibler le modèle linéaire. Enfin les différentes méthodes d'extraction directe des transistors HEMT GaN seront aussi exposées.

3.2. Différentes approches de modélisation

Depuis de nombreuses années, de nombreuses équipes de recherche se sont penchées sur le développement de modèles de transistors à effet de champ de plus en plus fiables, capables de reproduire le mieux possible les phénomènes physiques et électriques régissant ce type de composants [36-39]. De plus, la tendance actuelle à cibler des fréquences de fonctionnement de plus en plus élevées pousse les concepteurs de circuits à s'intéresser plus particulièrement aux transistors micro-ondes.

Dans les paragraphes suivants, nous présenterons les différents types de modélisation des TEC. Il est à noter que s'il est très difficile d'obtenir un bon compromis entre simplicité, rapidité et précision, il reste néanmoins possible de mettre sur le marché des modèles pouvant répondre favorablement aux objectifs visés par les concepteurs. On distingue deux grandes familles de modèles qui chacune se subdivise en d'autres sous-familles. Ces deux familles sont les modèles que l'on qualifiera de génériques et les modèles connus sous le nom de comportementaux.

3.2.1. Modélisation comportementale

La modélisation comportementale correspond à une description niveau système [40]. Dans cette optique, le comportement d'une structure est vu dans sa globalité sur un domaine de validité fixe sans tenir compte des mécanismes physiques mis en jeu. Les modèles comportementaux sont extraits sous des conditions particulières d'impédance de charge, de polarisation et de fréquence et utilisent généralement les séries de Volterra ou les réseaux de neurones. L'intégration d'un sous-système fini dans un système plus complet est le mode d'utilisation de ces modèles. Par exemple l'intégration d'un modèle comportemental d'amplificateur à faible bruit dans une chaîne de transmission (système de réception) peut être utile pour avoir un aperçu du comportement de cette dernière sous certaines conditions de fonctionnement. C'est donc un modèle simple mais approximatif.

3.2.2. Modélisation générique

La modélisation générique peut souvent répondre aux sollicitations d'un utilisateur. Ce type de modélisation peut prédire des comportements divers et complexes sans spécifier leur utilisation particulière. Ce type de modélisation est dédié principalement à la conception de circuits tels que les amplificateurs, les oscillateurs et les mélangeurs. C'est donc une modélisation niveau circuit. Si de nombreux modèles ont été étudiés pour prévoir le fonctionnement non-linéaire du transistor [41], le but de ce travail reste la caractérisation de modèles linéaires de TEC.

3.2.2.1. Modélisation physique

La modélisation physique est basée sur le comportement physique du composant semi-conducteur. Tous les éléments (composants) de ce modèle ont un sens physique relié directement à la géométrie du composant, telles que la largeur W_g ou la longueur L_g , au

procédé technologique et à la physique du composant (dopages, potentiels de bandes plates ...) [42-47].

Un modèle physique répond dans la plupart des cas aux exigences demandées par les concepteurs car il peut rendre compte assez fidèlement des nombreux effets existants dans les composants et prévoir le comportement du transistor de manière analytique. Mais, l'inconvénient majeur de ce modèle réside dans le temps de développement qui peut durer plusieurs années. La raison principale est due à l'apparition de nouveaux effets physiques qui accompagnent chaque nouvelle génération ; les modèles doivent les assimiler et il arrive souvent qu'une fois mis au point, un modèle est souvent déjà obsolète au vu des progrès rapides de la technologie. Par ailleurs, pour assurer une bonne robustesse, les équations doivent assurer une continuité entre les différents régimes de fonctionnement tout en restant les plus simples possibles. Or, d'un point de vue pratique, l'inconvénient le plus important est le nombre élevé de paramètres à considérer dans les modèles physiques.

Les modèles physiques les plus répandus pour les transistors de type MOS sont le modèle SP (*Surface Potential*) développé par Gildenblat et Chen à l'Université de Pennsylvanie, qui est qualifié de modèle le plus proche de la physique et aussi le plus mathématique [48], et le modèle BSIM développé à l'université de Berkeley. Par exemple, le modèle de version du BSIM3v3 comprend environ 400 paramètres afin d'assurer tous les régimes de fonctionnement et un grand nombre d'effets physiques [49-50]. La majorité des effets sont décrits par des équations semi-empiriques qui, en fait, ne sont pas reliées à la physique du composant [51]. De plus, l'extraction des paramètres exige un nombre important de tests. Ceci oblige les ingénieurs de modélisation à faire appel à un grand nombre de structures de mesures sur les masques technologiques. Par conséquent, le nombre de mesures requises afin d'extraire les paramètres est très élevé.

Enfin, l'extraction exige une formation technique très spécifique sur le modèle précis de la part de l'ingénieur de modélisation. Actuellement, le temps d'extraction d'un modèle est tellement élevé qu'il est difficile de s'adapter à la modélisation de technologies en cours de développement.

3.2.2.2. Modélisation à base de données expérimentale

La modélisation à base de données expérimentale repose sur le même principe d'une modélisation empirique. La seule différence réside au niveau de la représentation des éléments non linéaires. Dans la modélisation à base de données expérimentales, les éléments

non linéaires sont décrits par des matrices de données de mesures paramétrées suivant plusieurs entrées (tensions grille-source V_{gs} et drain-source V_{ds} , température) [52]. Les modèles développés selon ce type d'approche présentent des avantages similaires à ceux de la modélisation phénoménologique avec, en plus, une meilleure rapidité d'extraction. Néanmoins, la relation entre les points de mesures est faite par des fonctions d'interpolation ce qui entraîne certains inconvénients [47].

Ainsi, les fonctions d'interpolation ne peuvent pas assurer un comportement toujours fiable du composant car le modèle est valable uniquement dans la plage des mesures effectuées [53]. En outre, comme cette modélisation utilise des polarisations proches de la limite des mesures, les modèles présentent d'énormes problèmes de discontinuité, ce qui peut entraîner une divergence dans les calculs de simulations. Enfin, la mesure des composants doit s'effectuer de façon individuelle.

En conclusion, si le modèle à base de données expérimentales est simple et rapide à mettre au point [52], [54], il souffre de plusieurs inconvénients dont le manque de fiabilité.

3.2.2.3. Modélisation phénoménologique

La modélisation phénoménologique est une approche purement empirique. Elle est basée sur la représentation des effets mesurables et observables, indépendamment de leur nature [55-58]. Ce type de modélisation regroupe les modèles utilisant un circuit électrique équivalent qui comporte des éléments linéaires et non linéaires. Ces derniers doivent être décrits par des expressions mathématiques relativement simples pour ne pas dégrader la convergence et le temps de calcul des simulateurs. Les expressions mathématiques doivent représenter le fonctionnement global ; néanmoins, elles peuvent conduire à des valeurs non physiques. Aussi, ce type de modèle présuppose de réaliser des composants avant de les modéliser car les paramètres des expressions sont déterminés à partir de mesures électriques de ces mêmes composants [47], [52].

Le modèle ne tient pas compte de l'évolution de chaque élément physique en fonction des dimensions du composant. D'autre part, les effets de température sur les éléments modélisés empiriquement sont très difficiles à incorporer. Finalement, l'extraction requiert parfois une procédure d'optimisation, étape qui peut mener à différents ensembles de valeurs de paramètres pour un même composant ou à des valeurs non physiques.

En contrepartie, la modélisation phénoménologique possède beaucoup d'avantages notamment la rapidité de l'élaboration d'un modèle et des équations simples pouvant décrire le comportement électrique du transistor sur tous les régimes de polarisation et la gamme de fréquence de fonctionnement envisagés. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises sont simples et peu nombreuses. Par ailleurs, à cause de la nature de la modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits. Grâce à la simplicité de tels modèles, le temps de calcul numérique peut être considérablement réduit [57].

Ce type de modélisation est à son tour subdivisé en trois types de modélisation qui sont :

- Les méthodes numériques basées sur l'optimisation des éléments d'un schéma équivalent.
- Les méthodes pseudo- analytiques.
- Les méthodes analytiques d'extraction directe du schéma équivalent à partir des paramètres de répartition [S] mesurés.

a. Méthodes d'optimisation

Ces méthodes sont couramment utilisées. Elles reposent sur le principe de minimisation de la fonction d'erreur suivante :

$$\varepsilon = \sum_{Freq} \sum_{i,j} \frac{|S_{ij \text{ mesures}} - S_{ij \text{ calculés}}|^2}{|S_{ij \text{ mesures}}|^2} \quad (3 - 1)$$

Le principe consiste à modifier les éléments du schéma équivalent en utilisant différentes méthodes d'optimisation (aléatoires, gradient) tant que cet écart quadratique n'atteint pas une valeur minimale. Les programmes d'optimisation sont de plus en plus performants surtout en termes de rapidité et précision. Cependant, leur utilisation présente toujours un certain nombre de contraintes. En effet,

- les méthodes d'optimisation classiques peuvent donner des valeurs sans sens physique et leur résultat dépend fortement de la valeur initiale, cette dernière devant être proche de la solution finale, ce qui nécessite une pré-caractérisation ;
- des mêmes valeurs de la fonction d'erreur peuvent conduire à différentes valeurs des éléments du schéma équivalent ;

- une erreur de calibrage sur un seul point de fréquence peut écarter le résultat de la solution réelle. C'est pour cette raison que ce genre de méthode nécessite les mesures des paramètres $[S]$ large bande précises ;
- ce genre de méthodes nécessite le traitement d'un grand nombre de points pour augmenter la précision, ce qui implique l'utilisation de moyens informatiques importants.

b. Méthodes pseudo-analytiques

Pour pallier à certains inconvénients des méthodes d'optimisation, Lienhart [51] a proposé un principe d'extraction de schéma équivalent pseudo-analytique. Cette méthode repose sur l'extraction de la matrice intrinsèque du transistor à effet de champ. Les éléments intrinsèques du schéma équivalent sont déduits de cette matrice. Dans ce cas, seuls les éléments extrinsèques sont optimisés, cette méthode est très rapide par rapport aux méthodes décrites mais l'optimisation des éléments extrinsèques peut aboutir à une solution non physique due au mauvais choix de la topologie du circuit équivalent.

c. Méthodes analytiques directes

Afin de corriger les erreurs des méthodes précédentes et obtenir les éléments intrinsèques et extrinsèques du schéma équivalent avec une bonne précision, Dambrine [59] a développé une méthode d'extraction totalement analytique basée sur la transformation et l'épluchage matriciel. La philosophie de cette méthode consiste à placer le transistor dans des conditions de polarisation particulières dans le but de simplifier le calcul. Ceci permet dans une première étape de déterminer les éléments de la partie extrinsèque. Puis, Les éléments de la partie intrinsèque sont déduits analytiquement par transformation et épluchage matriciel.

3.3. Choix de la modélisation

Pour modéliser les transistors à effet de champ en hyperfréquence, nous avons d'abord tracé un cahier de charge c'est-à-dire les besoins et le but de l'étude. Les transistors sont d'abord modélisés puis leurs modèles sont implantés dans un logiciel de simulation. Les concepteurs utilisent ces modèles dans le but de concevoir des circuits hyperfréquence (amplificateurs, mélangeurs, oscillateurs, ...).

Les modèles physiques permettent de reproduire d'une façon précise le comportement physique interne du transistor, mais ils sont complexes, longs à développer et exigent un temps de calcul très importants et de ressources informatiques conséquentes.

Les modèles à base de données expérimentales simplifient la mise en œuvre et possèdent un bon compromis calcul-précision. Leur inconvénient majeur réside dans le fait d'élaborer un modèle pour chaque transistor utilisé. De plus, l'extrapolation n'est pas toujours correcte donc le modèle est valide uniquement dans la zone mesurée.

Nous avons donc choisi la modélisation phénoménologique et plus particulièrement la modélisation analytique directe dont les modèles nécessitent une caractérisation particulière des composants déjà existants. Le travail avec ce genre de modélisation est flexible, précis et rapide.

Ces méthodes d'extraction seront appliquées sur les transistors TEC, notamment les transistors MOSFET et HEMT GaN tel qu'expliqué en détail dans les paragraphes suivants.

3.4. Méthodologie suivie pour l'extraction du modèle électrique

Dans cette section, nous allons présenter la méthode d'extraction de tous les éléments du schéma équivalent petit signal d'une façon générale. Cette méthode se base sur des mesures en petit signal (comportement linéaire) en hyperfréquence. Les méthodes analytiques directes permettent de déterminer chaque élément du modèle et la procédure générale d'extraction est schématisée sur l'organigramme montré à la figure 3.1.

3.4.1. Choix du schéma équivalent petit signal

Il est important de faire un choix préalable de topologie du circuit afin de définir un modèle. La méthodologie d'extraction et de modélisation du transistor à effet de champ TEC est généralement définie dépendamment du type de topologie choisie.

Un modèle électrique petit signal de TEC se base sur une approche de type schéma équivalent électrique qui représente une linéarisation autour d'un point de polarisation excité par des signaux de faible amplitude, c'est-à-dire le fonctionnement dynamique d'un transistor autour d'un point de polarisation. Dans ce paragraphe, nous allons présenter le schéma équivalent électrique petit signal du transistor à effet de champ utilisé pour la modélisation de nos transistors (MOSFET, HEMT GaN) en hyperfréquences.

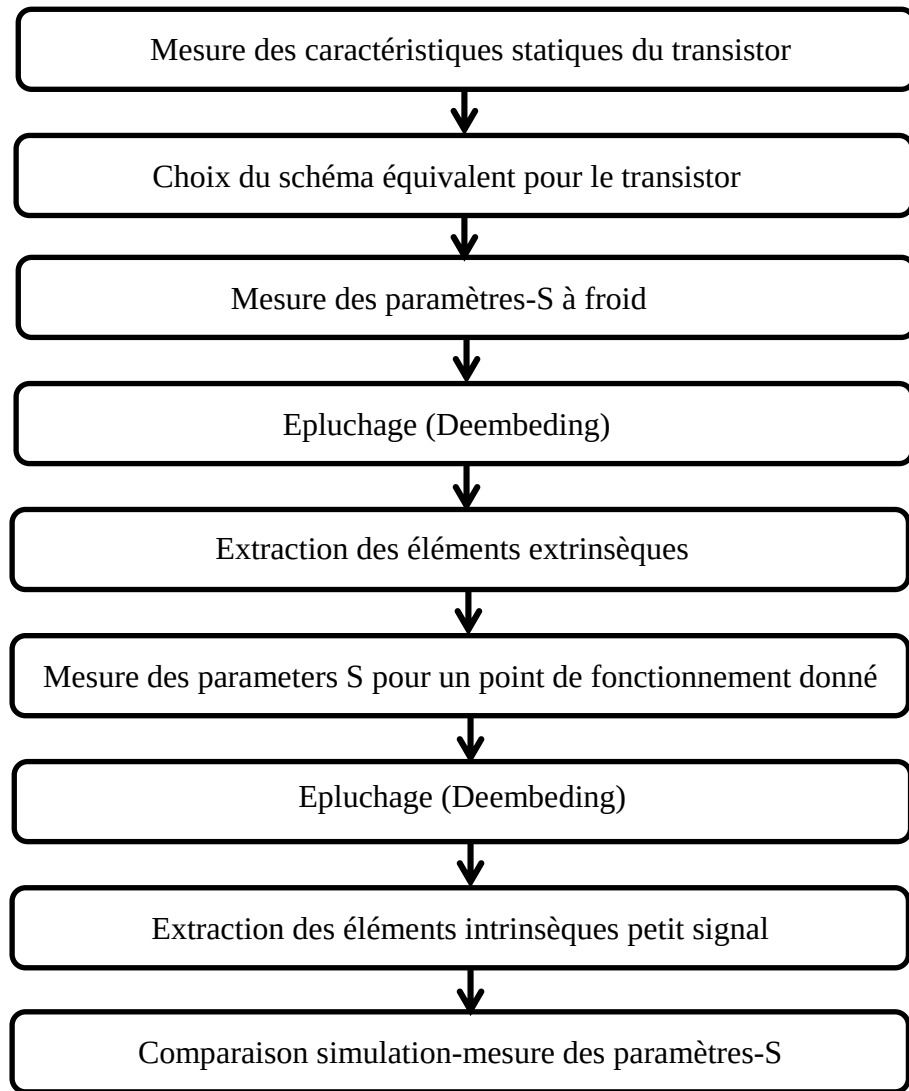


Figure 3. 1. Organigramme des étapes à suivre pour l'extraction du modèle petit signal et sa validation

3.4.1.1. Schéma équivalent petit signal

Pour toute méthode d'extraction de schéma équivalent, le choix de la topologie du circuit équivalent est de première importance. Pour cela nous nous sommes basés sur un schéma équivalent petit signal largement utilisé dans la littérature, hérité du transistor FET en III-V [50], [60]. Il est défini selon une approche non-quasi statique et un potentiel de substrat nul (connecté à la source). On utilise souvent la notion d'éléments localisés pour définir les différents éléments électriques constituant le schéma équivalent petit signal car une représentation du transistor par éléments distribués nécessite la connaissance du potentiel le long du canal.

Du point de vue structure et fonctionnement physique, le transistor à effet de champ est subdivisé en deux parties principales: la partie intrinsèque et la partie extrinsèque [49]. La partie intrinsèque correspond à la zone active où l'effet transistor se produit c'est-à-dire le canal tandis que la partie extrinsèque représente les éléments parasites des zones d'accès entre la partie active et les contacts métalliques reliant le transistor au reste de circuit.

Le schéma équivalent petit signal du TEC comprend donc des éléments intrinsèques et extrinsèques et repose sur l'hypothèse que ces derniers sont indépendants de la fréquence jusqu'à la fréquence de coupure de transistor [50], [61].

En d'autres termes, le schéma équivalent utilisé est suffisant pour décrire le comportement du transistor tant que ses éléments sont constants en fonction de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent petit signal à partir des mesures. Le schéma équivalent le plus utilisé est illustré à la figure 3.2, les éléments du boîtier n'étant pas inclus.

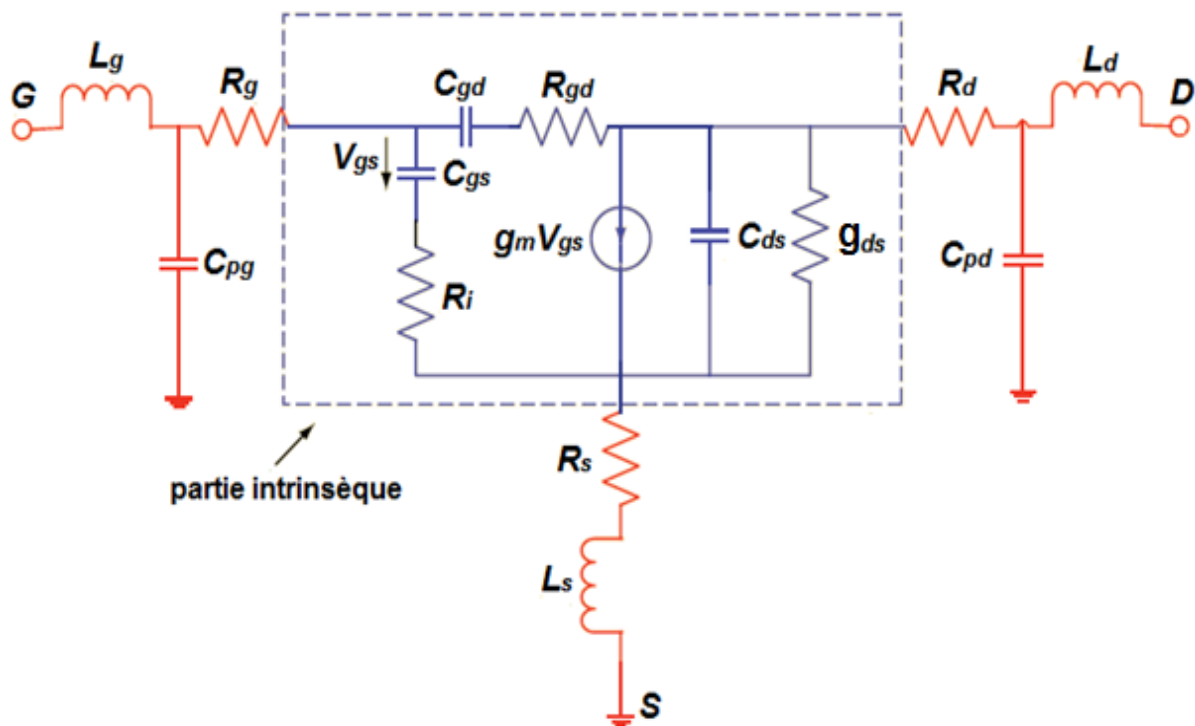


Figure 3. 2. Modèle petit signal pour le transistor à effet de champ TEC

3.4.1.2. Eléments extrinsèques

Les éléments extrinsèques représentent les éléments parasites du transistor ; ce sont les éléments qui ne sont pas dans le carré pointillé de la figure 3.2. Ils sont supposés être indépendants des polarisations et du régime de fonctionnement [10] et [62-63]. La résistance R_{ge} représente la résistance de siliciuration de la grille distribuée sur toute la largeur de la grille. Les résistances R_{se} et R_{de} modélisent la résistivité des caissons fortement dopés de source et de drain, respectivement. Elles sont inversement proportionnelles à la largeur du transistor. Par contre, R_{ge} est proportionnelle à la largeur totale. Les inductances L_{ge} , L_{de} et L_{se} modélisent la réactivité des contacts métalliques.

Les capacités C_{gse} , C_{gde} et C_{dse} représentent les capacités de bord et de chevauchement alors que C_{dp} et C_{gp} sont des capacités électrostatiques parasites des plots de métallisation de grille et de drain par rapport au substrat [64].

3.4.1.3 Eléments intrinsèques

La figure 3.3 montre la partie intrinsèque du transistor à effet de champ qui correspond exactement à la zone active ou l'effet transistor se produit. Tous les éléments de cette partie sont supposés indépendants des conditions de polarisation (régime petit-signal) sauf en ce qui concerne les conductances du transistor. En effet, le mécanisme d'amplification est traduit par une transconductance g_m définie par :

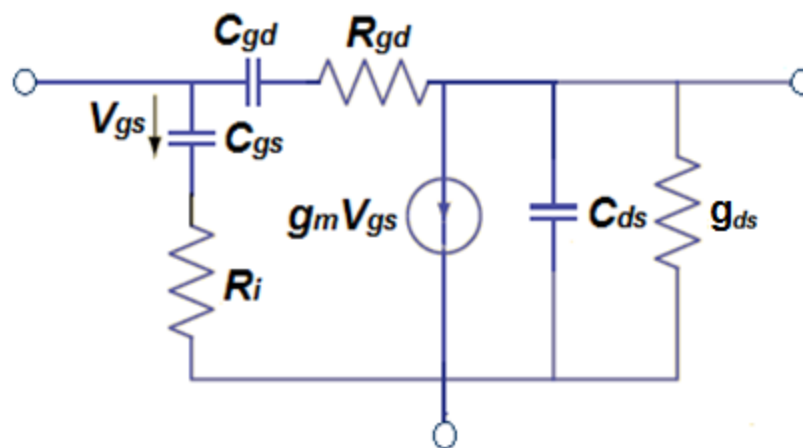


Figure 3. 3. Schéma équivalent petit signal de la partie intrinsèque du TEC

$$g_m = \left. \frac{\delta q I_{ds}(V_{gs}, V_{ds})}{\delta v_{gs}} \right|_{v_{ds}=Cte} \quad (3-2)$$

Comme les transistors à effet de champ ne sont pas des sources de courant idéales, une conductance de sortie est ajoutée dans le modèle ; elle est défini par :

$$g_d = \left. \frac{\delta q I_{ds}(V_{ds}, V_{gs})}{\delta v_{ds}} \right|_{v_{gs}=Cte} \quad (3-3)$$

Dans les équations (3-2) et (3-3), le paramètre I_{ds} représente le courant qui circule entre le drain et la source et dépend de V_{gs} et V_{ds} .

La capacité C_{dsi} correspond aux capacités en série des jonctions de source et de drain. Elle est définie par la relation suivante :

$$C_{ds} = \left. \frac{\delta Q_d(V_{gs}, V_{ds})}{\delta V_{ds}} \right|_{V_{gs}=Cte} \quad (3-4)$$

Q_d est la charge accumulée sous l'électrode de drain. Les capacités C_{gs} et C_{gd} représentent la répartition de la charge de grille Q_g entre la source et le drain sous l'effet des tensions V_{gs} et V_{gd} . Elles sont définies par :

$$C_{gs} = \left. \frac{\delta Q_g(V_{gs}, V_{ds})}{\delta V_{gs}} \right|_{V_{ds}=Cte} \quad (3-5)$$

$$C_{gd} = \left. \frac{\delta Q_g(V_{ds}, V_{gs})}{\delta V_{ds}} \right|_{V_{gs}=Cte} \quad (3-6)$$

Les effets non quasi-statiques sont pris en compte par les résistances R_i et R_{gd} et par la constante τ , introduisant un retard entre l'application de la tension de commande V_{gs} et son effet sur le courant I_{ds} .

3.5. Comparaison de la méthode proposée avec l'état de l'art

De nombreux travaux ont été rapportés sur les méthodes d'extraction des résistances extrinsèques en mode DC et RF [63], [65-75]. Les méthodes DC permettent de déterminer la résistance totale de drain et source [65-72]. Par contre, les méthodes d'extraction RF permettent de déterminer la valeur de chaque résistance (R_{ge} , R_{se} et R_{de}) [73-75]. Néanmoins, certaines méthodes DC offrent la possibilité de déterminer R_{se} et R_{de} indépendamment [76-77], mais la détermination de la résistance de grille R_{ge} est impossible, donc ce genre de méthode ne convient pas pour la modélisation RF.

La quasi-totalité des méthodes d'extraction RF considèrent que les résistances de source et de drain sont indépendantes de la polarisation [75]. [78-79], Toutefois, pour le transistor à effet de champ de dernière génération, de type MOS SOI submicronique, les résistances de source et de drain montrent une dépendance par rapport à la polarisation DC [80-83]. Pour résoudre ce problème, une méthode d'extraction RF est présentée; elle est basée sur le travail précédent présenté dans la référence [79].

3.6. Méthodes d'extraction des éléments d'un schéma équivalent petit signal d'un TEC

Compte tenu de la diversité des phénomènes physiques qu'il faut appréhender, un très grand nombre de méthodes ont été déjà proposées pour modéliser le transistor à effet de champ. Dans cette partie nous traitons des différentes méthodes d'extraction directes du schéma équivalent petit signal des transistors TEC. On commence d'abord par la première méthode directe appliquée sur le TEC (cold FET), puis nous exposons les différentes méthodes appliquées au transistor MOSFET et enfin celles appliquées sur le transistor HEMT GaN.

3.6.1. Méthode de polarisation à froid des transistors TEC (Cold FET)

La technique de polarisation à Froid (cold FET) [84] a été introduite par Diamant [64]. Elle permet de déterminer les résistances et les inductances parasites à partir des paramètres-S mesurés à $V_{ds} = 0$ V. En 1988, Dambrine [59] a publié une méthode qui permet d'obtenir les éléments parasites du TEC à partir des paramètres-S mesurés à ($V_{gs} > 0$ V et $V_{ds} = 0$ V). La méthode d'extraction de Dambrine nécessite l'application d'un fort courant au niveau de la

grille pour éliminer l'effet de la résistance différentielle de la diode de Schottky, ce qui conduit à un calcul direct de la résistance et de l'inductance parasites de grille.

a. Détermination des éléments parasites

Le schéma équivalent des TEC est subdivisé en deux parties : une partie intrinsèque qui représente le canal et une partie extrinsèque qui représente des éléments parasites (Figure 3.4). Le principe de la méthode est de polariser le transistor à froid pour pouvoir déterminer les éléments parasites.

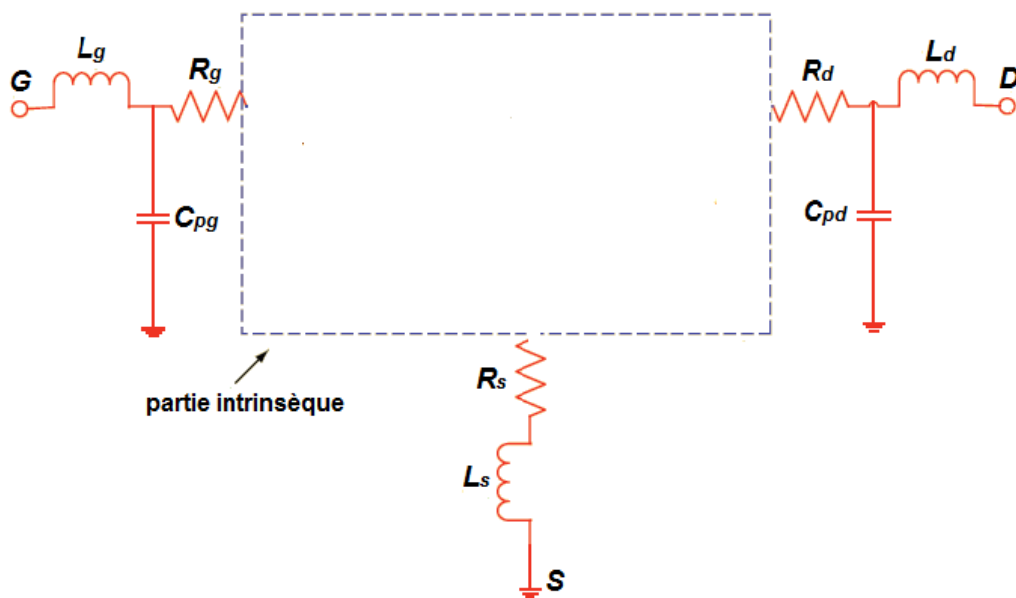


Figure 3. 4. Schéma équivalent petit signal du TEC à froid

En effet, pour les MOSFET, avec une polarisation à froid ($V_{ds} = 0$ V et $V_{gs} < V_{th}$), la partie intrinsèque n'est pas utilisée et on peut alors calculer les éléments extrinsèques partir des paramètres impédances Z_{ij} et admittances Y_{ij}

Néanmoins, dans le cas du HEMT, ce mode de polarisation est dit « froid pincé » car c'est à $V_{ds} = 0$ V et $V_{gs} < V_{th}$ que la couche active sous la grille est totalement désertée et que la conductance du canal s'annule.

Dans ces conditions, le schéma équivalent du TEC est celui de la figure 3.5. En supposant que l'extension de la zone désertée soit identique du côté de la grille et du drain, les capacités

de bord C_{bg} et C_{bd} sont représentées dans la figure 3.5 par une seule capacité C_b . Les capacités C_{pg} et C_{pd} sont les capacités de plot de grille et de drain, respectivement.

$$\text{Im}(Y_{11}) = j\omega(C_{pg} + 2C_b) \quad (3 - 7)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -j\omega(C_b) \quad (3 - 8)$$

$$\text{Im}(Y_{22}) = j\omega(C_{pd} + C_b) \quad (3 - 9)$$

Les éléments inductifs série n'ayant pas d'influence pour des fréquences allant jusqu'à quelques GHz, les capacités extrinsèques sont déterminées à partir de la partie imaginaire des paramètres admittances-Y exprimées comme

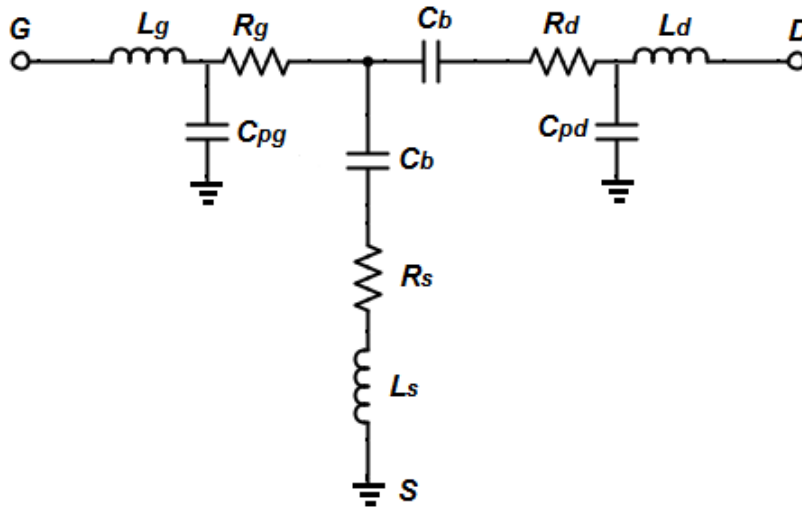


Figure 3. 5. Schéma équivalent petit signal du TEC polarisé à $V_{gs} < V_{th}$

b. Détermination des éléments intrinsèques

Les éléments intrinsèques mentionnés en figure 3.3 sont déterminés par la matrice admittance intrinsèque $[Y_{int}]$; cette dernière est obtenue à partir de la matrice de répartition $[S]$ mesurée [84]. L'extraction de ces éléments est effectuée par un simple calcul matriciel. La topologie en PI du schéma équivalent de la figure 3.3 nous donne en effet la matrice $[Y_{int}]$ suivante [45]:

$$Y_{11int} = \frac{R_i C_{gs}^2 \omega^2}{D} + j\omega \left(\frac{C_{gs}}{D} + C_{gd} \right) \quad (3 - 10)$$

$$Y_{12int} = -j\omega C_{gd} \quad (3 - 11)$$

$$Y_{21int} = \frac{g_{me} e^{-j\omega\tau}}{1 + j\omega R_i C_{gs}} - j\omega C_{gd} \quad (3 - 12)$$

$$Y_{22int} = g_d + j\omega(C_{ds} + C_{gd}) \quad (3 - 13)$$

Avec $D = 1 + R_i^2 C_{gs}^2 \omega^2$.

3.6.2. Méthode de Lovelace

Dans cette méthode le transistor MOSFET est polarisé en déplétion c'est-à-dire $V_{gs} \ll V_{th}$ et $V_{ds} = 0$ V. Dans ces conditions, les éléments intrinsèques disparaissent. Ainsi, le transistor peut être représenté par un circuit équivalent simplifié tel que montré à la figure 3.6. A partir du circuit de la figure 3.6, la partie réelle des impédances est :

$$Re(Z_{11} - Z_{12}) = R_{ge} \quad (3 - 14)$$

$$Re(Z_{12}) = Re(Z_{21}) = R_{se} \quad (3 - 15)$$

$$Re(Z_{22} - Z_{12}) = R_{de} \quad (3 - 16)$$

La partie imaginaire des impédances Z , quant à elle, suit les relations suivantes :

$$\omega Im(Z_{11} - Z_{12}) = \omega^2 L_{ge} + C_A \quad (3 - 17)$$

$$\omega Im(Z_{12}) = \omega Im(Z_{21}) = \omega^2 L_{se} + C_B \quad (3 - 18)$$

$$\omega Im(Z_{22} - Z_{12}) = \omega^2 L_{de} + C_C \quad (3 - 19)$$

C_A , C_B and C_C sont des valeurs qui dépendent des capacités extrinsèques C_{gse} , C_{gde} et C_{dse} le tracé de la partie imaginaire multipliée par ω en fonction de ω^2 donne une fonction linéaire, où les pentes de chaque courbe correspondent aux inductances série respectives.

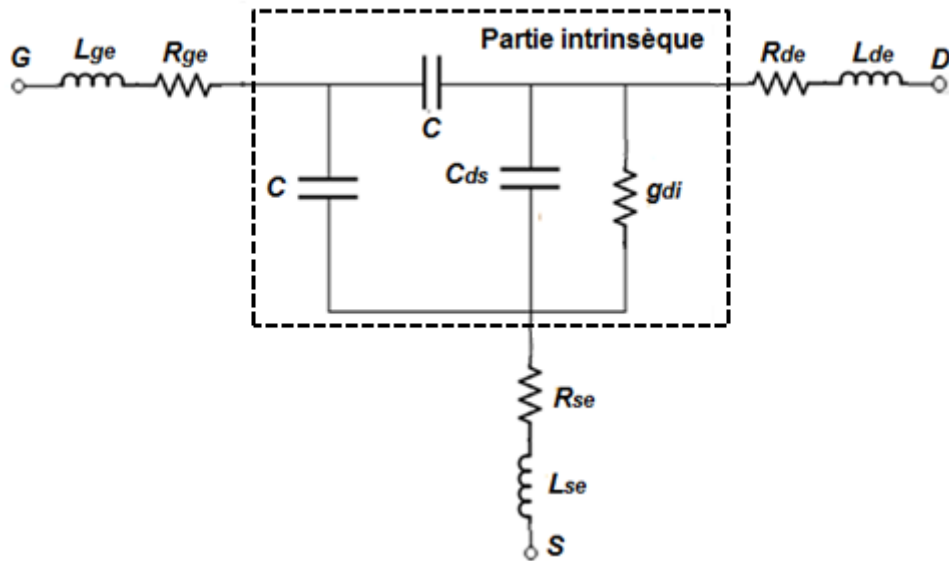


Figure 3. 6. Circuit équivalent petit signal à $V_{gs} \ll V_{th}$ et $V_{ds} = 0$ V [78]

3.6.3. Méthode de Bracale

Dans cette méthode, le transistor MOS est polarisé en inversion c'est-à-dire à $V_{gs} > V_{th}$ et $V_{ds} = 0$ V. Dans ces conditions, la transconductance intrinsèque disparaît. En outre, à $V_{ds} = 0$ V le transistor devient symétrique, ce qui implique que $C_{gs} = C_{gd} = C$. Ainsi le transistor peut être représenté par le circuit équivalent simplifié de la figure 3.7 [75].

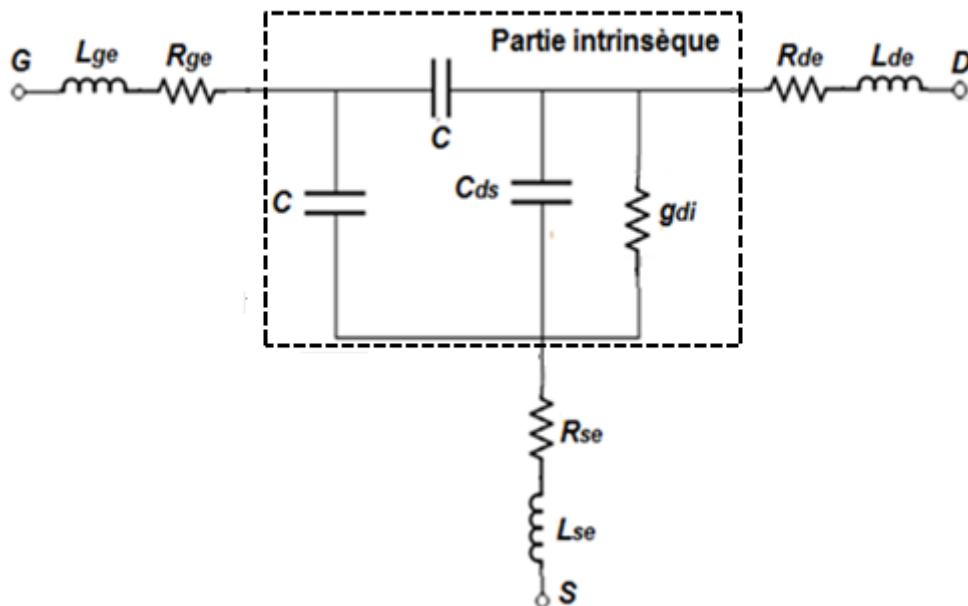


Figure 3. 7. Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds} = 0$ V [75]

Sous ces conditions, on considère que $C + 2CC_{ds} \ll 2g_{di}/\omega$ ainsi qu'une mobilité constante pour chaque V_{gs} appliquée. Delà, les parties réelles des paramètres Z des éléments du circuit équivalent de la figure 3.7 peuvent se mettre sous la forme suivante :

$$R_e(Z_{22} - Z_{12}) = R_{de} + \frac{1}{2K(V_{gs} - V_T)} \quad (3 - 20)$$

$$R_e(Z_{12}) = R_{se} + \frac{1}{2K(V_{gs} - V_T)} \quad (3 - 21)$$

$$R_e(Z_{11} - Z_{12}) = R_{ge} + \frac{1}{4K(V_{gs} - V_T)} \quad (3 - 22)$$

Ou $K = \mu(W/L)C_{ox}$, μ et C_{ox} étant respectivement la mobilité et la capacité d'oxyde de grille normalisée alors que W et L représentent respectivement la largeur et la longueur du canal du transistor MOS. Enfin, les résistances série sont déterminées par l'intersection des courbes représentant les parties réelles des paramètres Z en fonction de $1/(V_{gs} - V_{th})$.

Quant aux parties imaginaires des paramètres Z , elles permettent de déterminer les inductances L_{de} , L_{se} et L_{ge} . Elles sont données par :

$$Im(Z_{22} - Z_{12}) = L_{de} + \frac{C + 2C_{ds}}{4K^2} \frac{1}{(V_{gs} - V_T)^2} \quad (3 - 23)$$

$$Im(Z_{12}) = L_{se} + \frac{C + 2C_{ds}}{4K^2} \frac{1}{(V_{gs} - V_T)^2} \quad (3 - 24)$$

$$Im(Z_{11} - Z_{12}) = L_{ge} + \frac{C_{ds}(C + 2C_{ds})}{4CK^2} \frac{1}{(V_{gs} - V_T)^2} - \frac{1}{2C\omega^2} \quad (3 - 25)$$

Ainsi, L_{de} et L_{se} sont obtenues par l'intersection des courbes qui correspondent aux parties imaginaires des paramètres Z en fonction de $(1/(V_{gs} - V_{th})^2)$. Dans le cas de L_{ge} , deux étapes sont nécessaires [75] :

- Une première régression linéaire de $Im(Z_{11} - Z_{12})$ en fonction de ω^2 pour différentes valeurs de V_{gs}
- Une seconde régression linéaire de chaque intersection de l'étape précédente en fonction de $(1/(V_{gs} - V_{th})^2)$.

3.6.4. Méthode de Torres-Torres

Pour cette méthode le transistor MOSFET est polarisé en inversion ($V_{gs} > V_{th}$ et $V_{ds} = 0$ V). Dans ces conditions, la transconductance intrinsèque disparaît. De plus négligent les effets des inductances série extrinsèques sont négligeables, donnant ainsi le circuit équivalent représenté à la figure 3.8 [80], avec :

$$C_{gs} = C_{gsi} + C_{gso} \quad (3 - 26)$$

$$C_{gd} = C_{gdi} + C_{gdo} \quad (3 - 27)$$

$$C_{ds} = C_{dsi} + C_{dso} \quad (3 - 28)$$

Dans ces conditions de polarisation, la partie réelle des impédances est la suivante :

$$R_e(Z_{11}) = R_{ge} + R_{se} + A/2 \quad (3 - 29)$$

$$R_e(Z_{12}) = R_{se} + A/2 \quad (3 - 30)$$

$$R_e(Z_{22}) = R_{de} + R_{se} + A \quad (3 - 31)$$

Avec :

$$A = \frac{R_{ch}}{1 + \omega^2 C_x R_{ch}^2} C_x = C_{ds} + \frac{C_{gs} C_{gd}}{C_{gs} + C_{gd}}$$

$$R_{ch} = \frac{1}{g_{di}}$$

Afin de déterminer les résistances série extrinsèques, il est nécessaire de connaître les valeurs de R_{ch} et de C_x à partir de la partie imaginaire de Z_{22} .

$$-\frac{\omega}{\text{Im}(Z_{22})} = C_x \omega^2 + \frac{1}{C_x R_{ch}^2} \quad (3 - 32)$$

Ainsi, le tracé de la courbe de $(-\omega/\text{Im}(Z_{22}))$ en fonction de ω^2 donne une droite de pente C_x et dont l'intersection avec l'axe des ordonnées correspond à $(1/(C_x R_{ch}^2))$. Une fois que ces

valeurs sont déterminées, les résistances série extrinsèques peuvent être obtenues à partir des relations (3-29), (3-30) et (3-31).

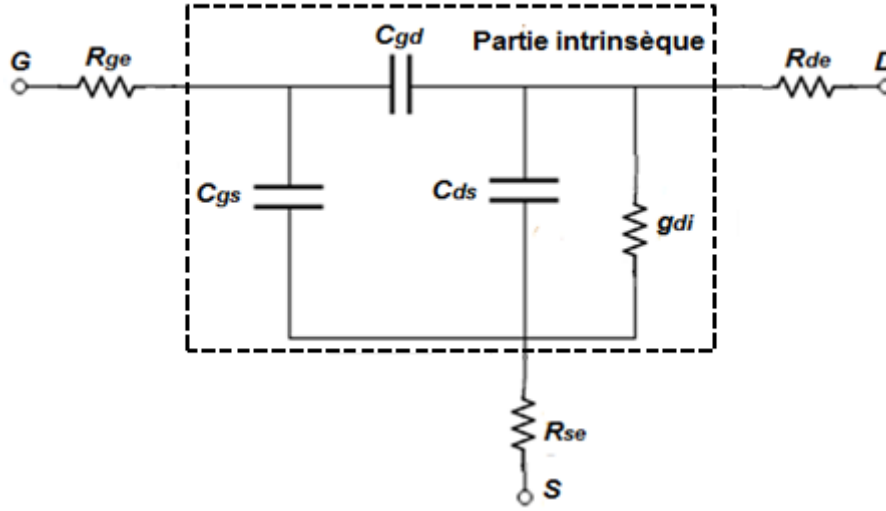


Figure 3. 8. Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds} = 0$ V [80]

3.6.5. Méthode de Tinoco

Des sections précédentes, il en ressort que la méthode de Bracale reste la plus robuste en termes de bruit mais l'extraction des valeurs des résistances n'est pas précise. Ainsi Tinoco et Raskin ont publié en 2009 un nouveau procédé d'extraction des valeurs des résistances série extrinsèques basé sur la méthode de Bracale mais avec une mobilité des porteurs qui varie en fonction de V_{gs} et avec un transistor qui n'est pas parfaitement symétrique [82]. Ils ont ainsi proposé les équations suivantes :

$$R_e(Z_{22} - Z_{12}) = R_{de} + \frac{1}{(\alpha^{-1} + 1)} \frac{L}{W\mu_0 C_{ox}} \left[\Theta + \frac{1}{(V_{gs} - V_T)} \right] \quad (3 - 33)$$

$$R_e(Z_{12}) = R_{se} + \frac{1}{(\alpha + 1)} \frac{L}{W\mu_0 C_{ox}} \left[\Theta + \frac{1}{(V_{gs} - V_T)} \right] \quad (3 - 34)$$

$$R_e(Z_{11} - Z_{12}) = R_{ge} - \frac{1}{(\alpha + \alpha^{-1} + 2)} \frac{L}{W\mu_0 C_{ox}} \left[\Theta + \frac{1}{(V_{gs} - V_T)} \right] \quad (3 - 35)$$

Où $\alpha = (C_{gs}/C_{gd})$ est défini comme étant le coefficient de symétrie et Θ le coefficient de dégradation de mobilité.

3.6.6. Méthode de Raskin

Dans cette méthode, le transistor est polarisé en saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$. Dans ces conditions le composant est considéré asymétrique, son circuit équivalent étant représenté à la figure 3.9 [79]. Les parties réelles des paramètres Z peuvent être exprimés par :

$$R_e(Z_{12}) = R_{se} + \frac{A_s}{\omega^2 + B} \quad (3 - 36)$$

$$R_e(Z_{22} - Z_{12}) = R_{de} + \frac{A_d}{\omega^2 + B} \quad (3 - 37)$$

$$R_e(Z_{11} - Z_{12}) = R_{ge} + \frac{A_g}{\omega^2 + B} \quad (3 - 38)$$

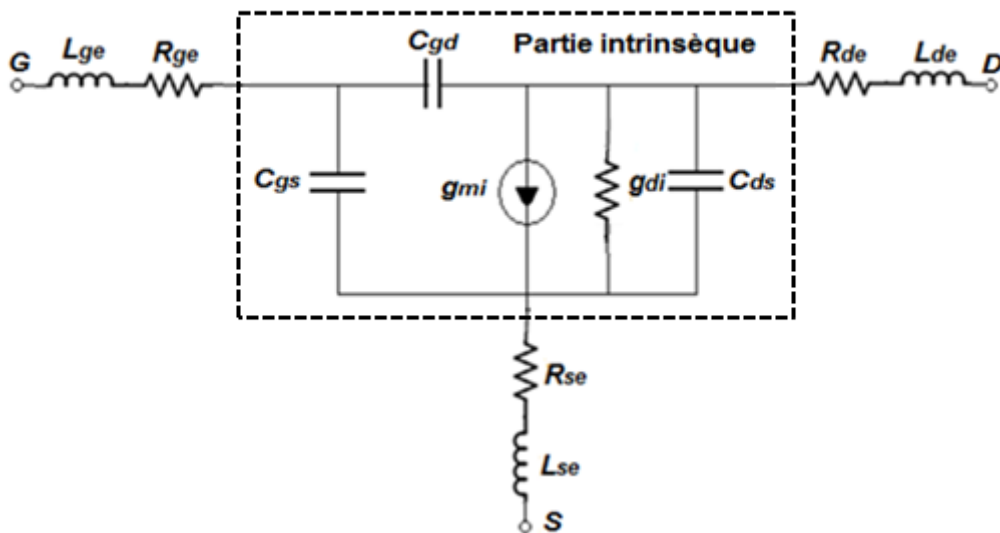


Figure 3. 9. Circuit équivalent petit signal en régime de saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$ [79]

Ainsi, les résistances série extrinsèques sont obtenues en utilisant le tracé des courbes suivantes :

La paire $\{R_e([Z_{\sigma\pi 12}(\omega)], R_e([Z_{\sigma\pi 21}(\omega)])\}$ permet de déterminer la résistance de source R_{se} , la paire $\{R_e([Z_{\sigma\pi 11}(\omega)], R_e([Z_{\sigma\pi 21}(\omega)])\}$ permet de déterminer la résistance de grille R_{ge} et la paire $\{R_e([Z_{\sigma\pi 22}(\omega)], R_e([Z_{\sigma\pi 12}(\omega)])\}$ permet de déterminer la résistance de drain R_{de} .

Le Tableau 3.1 montre une étude comparative sur les méthodes d'extraction susmentionnées

Tableau 3. 2. Étude comparative des méthodes d'extraction des éléments d'un schéma équivalent petit-signal d'un MOSFET

Méthode	Caractéristiques
Lovelace	La précision de cette méthode est faible surtout pour des transistors de faible volume [63]. En pratique, les paramètres intrinsèques g_{mi} et g_{di} ont des valeurs en déplétion différentes de zéro, ce qui est suffisant pour réduire la validité des équations (3-12) et (3-13). Dans ce cas, la partie imaginaire des paramètres-Z est affectée et c'est pour cette raison que la partie réelle des paramètres-Z est dépendante de la fréquence
Bracale	La méthode de Bracale est considérée comme la plus robuste et la moins sensible au bruit introduit lors des mesures. Mais les valeurs des résistances extrinsèques souffrent de la dégradation de la mobilité due au champ électrique transversal et à l'asymétrie du transistor. Les résultats récents sur les transistors submicroniques d'un oxyde de grille très mince montrent bien que l'hypothèse de Bracale sur la mobilité et la symétrie du transistor n'est plus valable [85-87].
Torres Torres	La méthode de Torres-Torres est également très sensible au bruit de mesure et en plus, elle néglige les inductances extrinsèques alors que leurs effets commencent à apparaître à partir de la dizaine de GHz.
Tinoco	Les valeurs correctes des résistances série peuvent être obtenues montrant que la méthode de Tinoco est bien une amélioration de la méthode de Bracale, mais il reste qu'elle n'inclut pas la variation des résistances de source et de drain en fonction de la polarisation pour les transistors submicroniques.
Raskin	Cette méthode a une forte contrainte due à la sensibilité des paramètres extraits par rapport au niveau de saturation, c'est-à-dire à une forte dépendance de la polarisation appliquée. De plus, cette méthode néglige l'effet non quasi statique de la partie intrinsèque des MOSFET. Ces simplifications peuvent introduire des erreurs importantes [85]. Pour augmenter la précision de la méthode, Raskin a proposé d'ajouter une étape d'optimisation après l'introduction des résistances non quasi-statiques dans le modèle. Néanmoins, ceci complique davantage cette méthode [88].

3.6.7. Extraction des capacités extrinsèques

Après l'extraction des résistances et des inductances série extrinsèques, l'extraction des capacités extrinsèques est réalisée en polarisant le MOSFET en déplétion c'est-à-dire ($V_{ds} = 0$ V et $V_{gs} = 0$ V). Dans ces conditions, le circuit équivalent est celui de la figure 3.10.

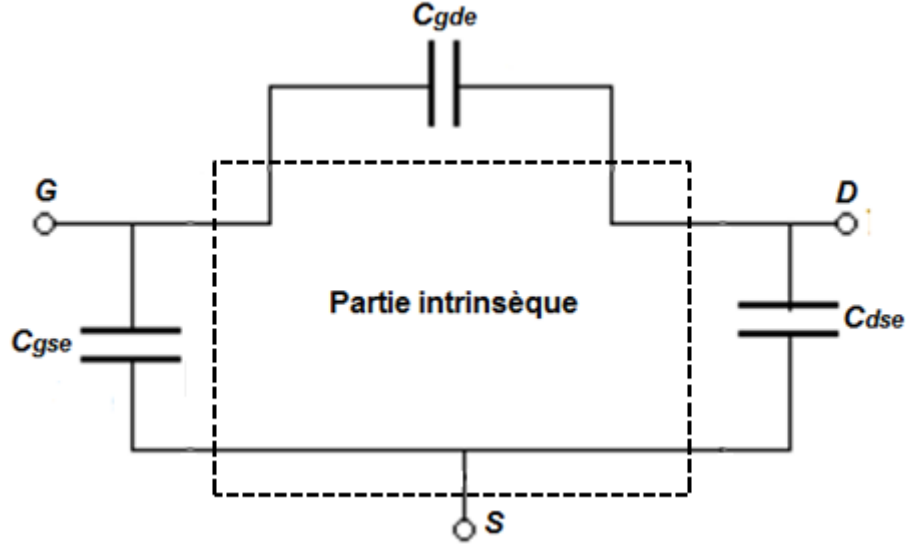


Figure 3. 10. Circuit équivalent petit signal en régime déplétion $V_{ds} = 0$ V et $V_{gs} = 0$ V après l'épluchage des résistances et inductances extrinsèques

Les capacités extrinsèques peuvent être obtenues à partir des parties imaginaires des admittances Y , et sont données par [88] :

$$C_{gso} = \frac{\text{Im}(Y_{11} + Y_{12})}{\omega} \quad (3 - 39)$$

$$C_{gdo} = -\frac{\text{Im}(Y_{12})}{\omega} \quad (3 - 40)$$

$$C_{dso} = \frac{\text{Im}(Y_{22} + Y_{12})}{\omega} \quad (3 - 41)$$

3.6.8. Extraction des paramètres intrinsèques

Après l'épluchage (*de-embedding*) des paramètres extrinsèques, la matrice Y_{int} peut être déterminée à partir du schéma équivalent de la figure 3.3. Puis, à partir de cette matrice, les expressions des paramètres intrinsèques peuvent être obtenues par les expressions suivantes [88] :

$$C_{gsi} = \frac{1}{\omega \text{Im}(1/(Y_{11} + Y_{12}))} \quad (3 - 42)$$

$$C_{gdi} = -\frac{1}{\omega \text{Im}(1/(Y_{12}))} \quad (3 - 43)$$

$$C_{dsi} = \frac{\text{Im}(Y_{22} + Y_{12})}{\omega} \quad (3 - 44)$$

$$R_{gsi} = R_e \left(\frac{1}{(Y_{11} + Y_{12})} \right) \quad (3 - 45)$$

$$g_{di} = R_e (Y_{22} + Y_{12}) \quad (3 - 46)$$

$$g_{mi} = \left| \frac{y_{21} + y_{12}}{y_{11} + y_{12}} \right| \cdot \frac{1}{\text{Im}(1/(Y_{11} + Y_{12}))} \quad (3 - 47)$$

$$\tau = \frac{1}{\omega} \arctan \left\{ \frac{\text{Im} \left[\frac{(Y_{21} - Y_{12})}{1 + j\omega R_{gsi} C_{gsi}} \right]}{R_e \left[\frac{(Y_{21} - Y_{12})}{1 + j\omega R_{gsi} C_{gsi}} \right]} \right\} \quad (3 - 48)$$

3.7. Méthodes d'extraction du transistor HEMT AlGaIn/GaN

Dans le cas des transistors de type HEMT AlGaIn/GaN, l'extraction de la résistance et de l'inductance de grille par la méthode de polarisation à froid (*cold FET*) classique est très difficile. Cela se traduit par la présence d'un comportement capacitif très fort due à la diode Schottky qui est difficile à supprimer même par l'application directe d'un courant de grille fort ; cette diode étant représentée sur la figure 3.11 par l'impédance Z_D constituée de la capacité de jonction C_0 et de la conductance de jonction R_0 . En effet un courant de grille élevé peut détruire les propriétés de la diode de Schottky, comme indiqué dans la figure 3.11 [89]. Pour cela, une nouvelle méthode d'extraction de résistances et inductances parasites est introduite, l'originalité de cette méthode est l'application directe d'un courant faible au niveau de la grille.

Cette technique consiste à polariser le transistor à $(V_{bi} > V_{gs} > 0)$ (V_{bi} est la barrière de potentielle) pour obtenir les résistances et inductances parasites. Les capacités parasites sont calculés à partir des paramètres-Y à $V_{ds} = 0$ V et $V_{gs} < V_{th} < 0$ (V_p tension de pincement). Ainsi, aux cours des dernières années, des méthodes ont été développées pour faciliter la procédure d'extraction de la résistance et de l'inductance de grille, ainsi que les capacités parasites des transistors HEMT AlGaIn/GaN. La méthode présentée dans [90] permet un calcul des éléments parasites utilisant la technique polarisation à froid suivi d'un procédé d'optimisation qui est cependant difficile et long à implémenter.

D'autre part, une méthode de calcul des éléments parasites basés sur la méthode de polarisation à froid avec une haute polarisation directe de grille a été citée dans [91]. Dans l'article publié par Crupi *et al.* [92], les éléments parasites ont été déterminés à $V_{ds} = 0$ V et avec une tension de grille inverse. Le problème dans les méthodes citées ci-dessus et qu'elles ont besoin d'une structure passive supplémentaire pour être mises en œuvre. De plus, elles sont difficiles à implémenter et consomment beaucoup de temps de calcul.

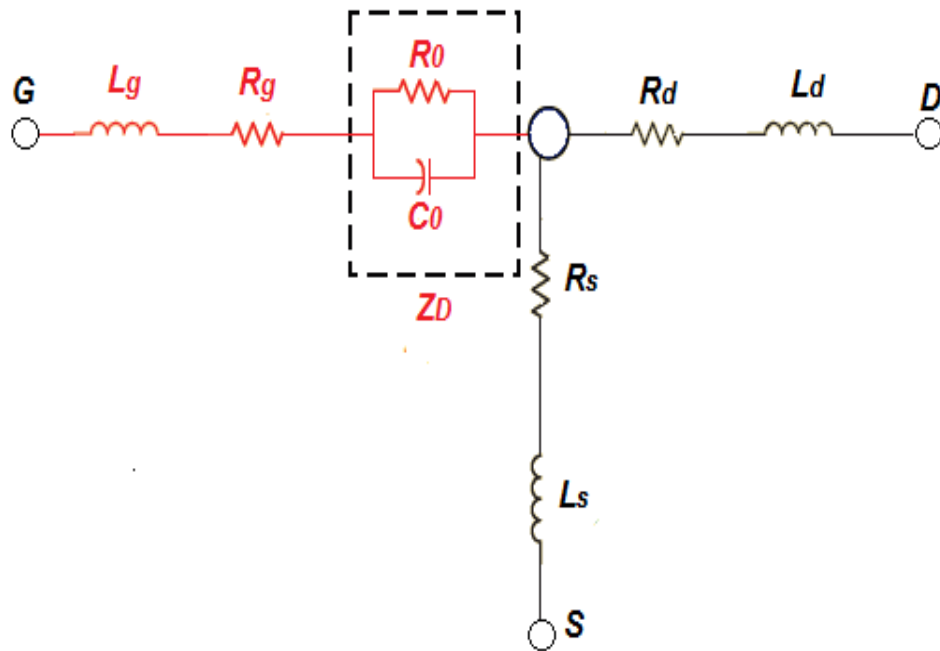


Figure 3. 11. Circuit équivalent petit signal sous courant de grille faible [89]

Une autre approche a été introduite par Jarndal [93], l'avantage de cette approche est dans son dépendance de la mesure à froid pincé pour déterminer les éléments parasites, le principe

consiste à générer des valeurs initiales fiables pour les éléments du modèle. Ensuite de régler ces valeurs à l'aide d'un algorithme d'optimisation.

3.8. Validation des procédures d'extraction

Dans toutes les étapes qui constituent la modélisation d'un transistor, il en reste une ultime, qui est de première importance, c'est la validation. Plusieurs moyens permettent de vérifier la qualité des méthodes d'extraction et la validité du schéma équivalent. Ce sont entre autres.

Dans notre travail nous avons choisi d'abord l'invariabilité des éléments intrinsèques avec la fréquence. Ceci est vérifié lors de la représentation des éléments intrinsèques en fonction de la fréquence. Ces éléments intrinsèques vont sans aucun doute montrer leur indépendance de la fréquence. Les détails avec des figures seront donnés en chapitre 5.

L'autre moyen le plus utilisé qui permet de vérifier la validité de la méthode est la comparaison entre les mesures et les résultats de simulation, on verra dans le chapitre V, que la comparaison doit être faite utilisant l'abaque de Smith qui donne une information mixte sur le module et la phase, en hyperfréquence il ne faut pas se limiter à un seul cas de comparaison, par ailleurs, il est important d'effectuer la comparaison aux différents points de polarisations afin de pouvoir affirmer qu'un modèle est validé.

Il existe d'autres moyens permettant de vérifier la validité d'une méthode d'extraction, notamment la comparaison entre la transconductance extraite en régime statique et en dynamique qui, en théorie sont identiques. Enfin la comparaison entre les fréquences de coupures f_T et les fréquences de maximum d'oscillation f_{max} calculées et celles mesurées.

3.9. Conclusion

Dans ce chapitre, nous avons discuté l'aspect théorique des différents types de modélisation des transistors à effet de champs en haute fréquence.

Dans un premier temps, nous nous sommes intéressés à la modélisation générique qui renferme trois types, à savoir, la modélisation physique, la modélisation à base de données expérimentales et la modélisation phénoménologique.

Nous avons constaté que la modélisation physique n'est pas adaptée aux contraintes liées aux technologies émergentes. Nous avons besoin d'un modèle simple, rapide à extraire et

facile à implémenter ce qui n'est pas le cas pour les modèles physiques qui exigent un temps considérable pour l'extraction de leurs paramètres.

Sur un autre volet, la modélisation à base de données expérimentales offre un bon compromis calcul-précision, mais l'inconvénient est dans le fait d'élaborer un modèle pour chaque transistor utilisé, en dépit de son opération d'extrapolation qui n'est pas toujours correcte.

En conséquence, nous avons opté pour la modélisation phénoménologique et plus particulièrement, pour la modélisation analytique directe dont les modèles nécessitent une caractérisation particulière des composants déjà existants. Le travail avec ce genre de modélisation est relativement flexible, précis et rapide. Delà, les différentes méthodes d'extraction directe des transistors TEC notamment les transistors MOSFET et HEMT GaN ont été discutées.

L'étude élaborée dans ce chapitre nous a permis de localiser à quel niveau nous pourrions apporter notre contribution, ainsi, nous présenterons dans la chapitre qui suit la méthode d'extraction que nous avons proposée.

CHAPITRE 4

Méthode d'extraction proposée

4.1. Introduction

Dans ce chapitre nous détaillerons l'approche que nous avons développée pour l'extraction des éléments du circuit électrique équivalent petit signal de transistors à effet de champ. Dans notre cas, nous avons divisé le schéma équivalent petit signal en deux parties selon le sens physique attribué à ses éléments. Il s'agit ainsi de :

- Les paramètres extrinsèques (désignés par l'indice " e "). Ils sont supposés indépendants de la polarisation du transistor.
- Les paramètres intrinsèques (désignés par l'indice " i "). Ils dépendent de la polarisation et de la taille de la zone active du transistor.

La technique que nous avons développées se base sur cette subdivision, et c'est ainsi que nous avons élaboré une méthode efficace et précise pour l'extraction de tous les éléments du circuit équivalent petit signal des transistors de la famille MOSFET comme le MOS SOI (*Metal Oxide Semiconductor – Silicon-on-insulator*), le FinFET et le UTBB FD SOI (*Ultra Thin Body and Box Fully Depleted*).

Une fois validée sur ce type de transistors, nous avons étendu l'approche proposée à une autre structure de transistors à effet de champ, à savoir, le HEMT AlGaIn/GaN.

4.2. Méthodologie pour l'extraction des éléments de transistors MOSFET

4.2.1. Schéma équivalent petit signal des transistors MOSFET

Pour toute méthode d'extraction des éléments d'un schéma électrique équivalent petit signal d'un transistor donné, le choix de la topologie est de première importance. Les différents éléments électriques qui constituent le schéma électrique équivalent petit signal représentent en effet les différentes parties du transistor à partir de considérations physiques et technologiques [84].

Le circuit électrique simplifié le plus utilisé pour les transistors MOSFET est celui montré à la figure 4.1. qui peut fonctionner jusqu'à 110 GHz [94]. La partie extrinsèque représente les éléments parasites qui sont supposés indépendants de la fréquence et de la polarisation et donc qui ne dépendent de la géométrie du composant. La partie intrinsèque, dont les éléments sont situés à l'intérieur du rectangle en pointillés de la figure 4.1, représente le canal.

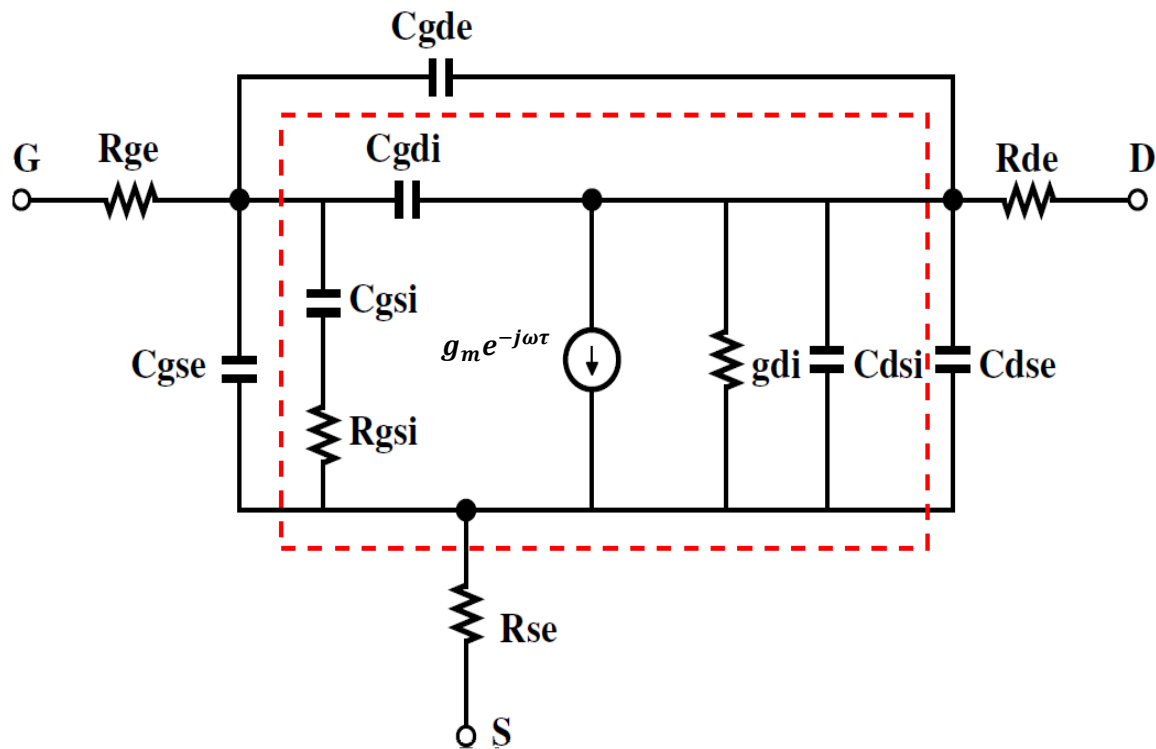


Figure 4. 1. Schéma équivalent petit signal du transistor MOSFET

4.2.2. Procédure d'extraction des éléments du transistor MOSFET

La détermination des éléments du schéma équivalent petit signal de la Figure 4.1 se fait par étapes qui consistent à déterminer en premier les éléments extrinsèques à froid ($V_{ds} = 0$ V et $V_{gs} < V_{th}$) après l'étape d'épluchage (*De-embedding*) – technique qui consiste à éliminer des données mesurées les effets des lignes d'accès, plots de contacts, connecteurs ... pour ne conserver que la matrice caractéristique du transistor. Puis nous procédons à la détermination des paramètres intrinsèques pour un fonctionnement en saturation.

4.2.2.1. Extraction des paramètres extrinsèques

La détermination des éléments parasites que nous allons décrire dans cette partie constitue un point tournant dans notre méthode d'extraction. Le principe de la méthode consiste à déterminer les résistances séries extrinsèques à partir de la conversion de la matrice de dispersion des paramètres [S] mesurés en matrice impédance [Z] puis admittance [Y] pour déterminer les capacités parasites [86-88],[94].

a. Extraction de résistances séries extrinsèques

La détermination des résistances séries extrinsèques est une étape cruciale dans le processus d'extraction des éléments d'un schéma équivalent petit signal des transistors MOSFET.

La plupart des techniques d'extraction existantes sont basées sur l'hypothèse que les résistances extrinsèques R_{se} , R_{de} et R_{ge} sont indépendantes de la polarisation et donc que leurs extraction peut se faire à l'état OFF (cold-FET, $V_{gs} = V_{ds} = 0$ V) [86-87].

Cette hypothèse n'est malheureusement plus valable pour les transistors MOS submicroniques puisque R_{se} et R_{de} varient avec les conditions de polarisation alors que R_{ge} est considérée comme pratiquement constante [84-85], [89], [95]. Pour ces raisons, il est important de développer une procédure d'extraction permettant d'obtenir les valeurs des résistances de source et de drain indépendantes de la polarisation R_{se0} et R_{de0} (c.-à-d. à l'état OFF) puis les valeurs des résistances de source et de drain R_{se} et R_{de} qui dépendent de la polarisation.

La méthode d'extraction présentée dans la référence [79] est applicable uniquement si le transistor est polarisé en saturation. De ce fait, en nous basant sur les travaux existants [79], [95], nous avons dû développer une nouvelle méthode d'extraction applicable quel que soit le point de polarisation. Elle peut se décrire comme suit :

- Détermination de la résistance R_{ge} pour tous les points de polarisation en utilisant la méthode de Raskin décrite dans la référence [79]. Il a été en effet démontré que la valeur de R_{ge} reste presque constante quel que soit le mode de polarisation [78].
- Une fois la valeur de R_{ge} obtenue, résoudre un système de deux équations $[(Re(Z_{11}), Re(Z_{21}))]$ et $[(Re(Z_{22}), Re(Z_{12}))]$ à deux inconnues que sont R_{se} et R_{de} respectivement et qui varient avec la polarisation.

b. Extraction des capacités extrinsèques

Les capacités extrinsèques représentent les capacités parasites du transistor y compris les capacités de chevauchement, de proximité et de bord. Elles peuvent être déduites directement à partir de la partie imaginaire des paramètres admittances Y en déplétion en utilisant les équations suivantes [86] :

$$\text{Im}(Y_{11}) = j\omega(C_{gse} + C_{gde}) \quad (4 - 1)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -j\omega(C_{gde}) \quad (4 - 2)$$

$$\text{Im}(Y_{22}) = j\omega(C_{dse} + C_{gde}) \quad (4 - 3)$$

4.2.2.2. Extraction des éléments intrinsèques

Les paramètres intrinsèques représentent la partie active du transistor. Comme ils dépendent de la polarisation, nous avons retenu la démarche mise au point par G. Dambrine [84], [86], qui consiste à extraire les différents éléments à partir de la matrice admittance intrinsèque $[Y_{int}]$ de la topologie en π du schéma électrique équivalent petit signal (figure 4.1). Comme le montre la figure 4.2, cette matrice admittance peut être obtenue par transformations successives de la matrice de répartition S mesurée. Puis, nous extrayons par un calcul analytique tous les éléments intrinsèques du schéma équivalent de la figure 4.1.

4.3. Validation de la méthode d'extraction

La méthode proposée doit être validée sur des transistors différents de la famille des MOSFET afin de vérifier sa robustesse et son efficacité. Pour cela, nous allons extraire les valeurs des schémas équivalents de trois transistors MOSFET que sont le MOS SOI, le FinFET et le UTBB FD-SOI. Une fois validée sur ce type de transistors, nous allons étendre son application à une autre structure de transistors à effet de champ, le HEMT AlGaIn/GaN.

4.4. Application à l'extraction des éléments du MOS SOI

Dans cette partie, nous allons appliquer la nouvelle méthodologie aux transistors MOS SOI dont le schéma équivalent petit signal est similaire à celui de la figure 4.1. En premier lieu, nous procédons à l'extraction des résistances extrinsèques en commençant par la résistance de grille puis en démontrant que cette dernière est indépendante de la polarisation. Ensuite, nous déterminons les résistances de source et de drain puis nous extrayons les capacités parasites. Finalement, nous déterminons les valeurs des éléments intrinsèques (voir figure 4.2).

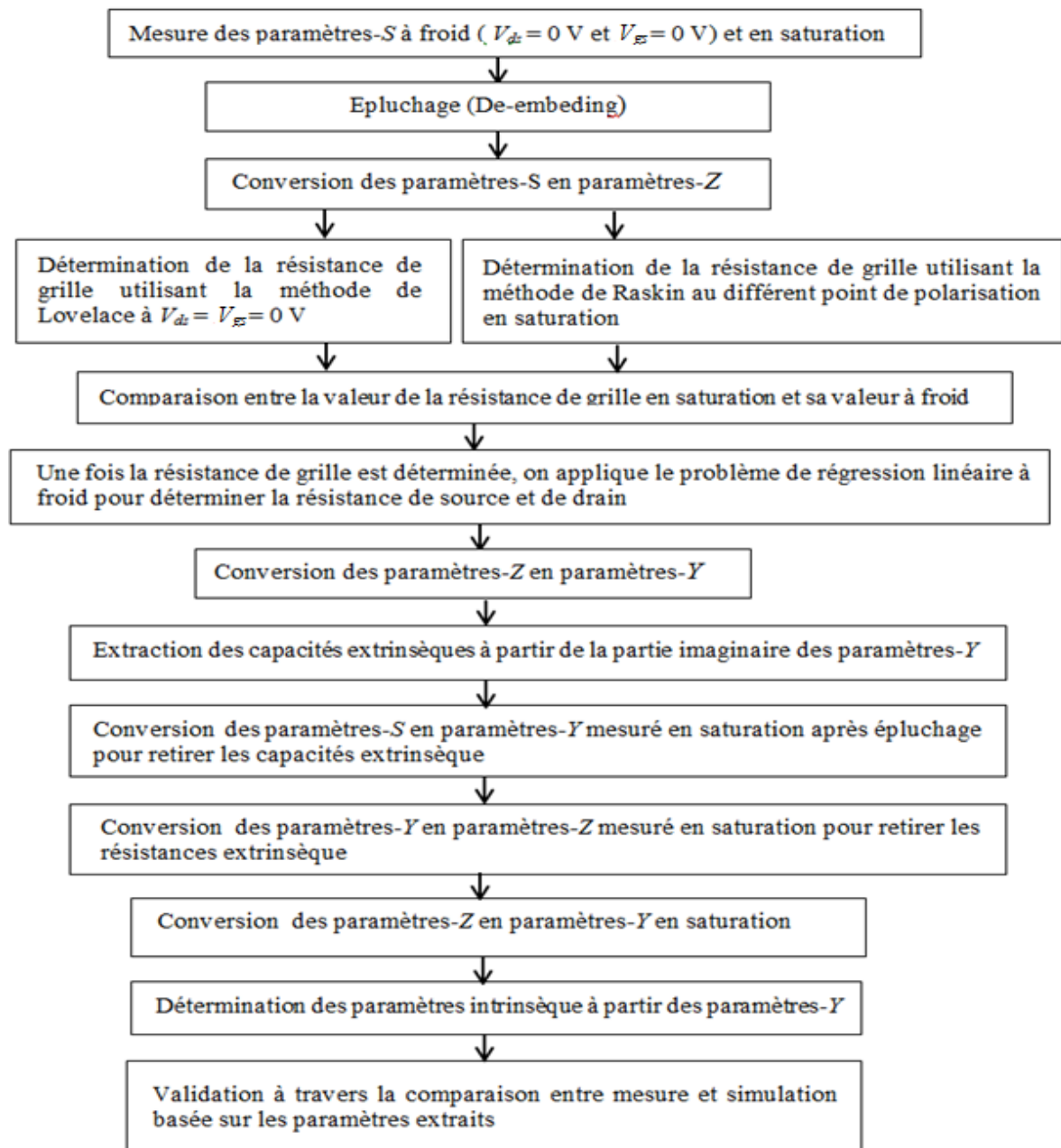


Figure 4. 2. Organigramme de la méthode proposée appliquée sur les transistors MOS SOI

4.4.1. Extraction des paramètres extrinsèques

L'approche classique pour déterminer les paramètres extrinsèques est d'extraire en premier lieu les résistances extrinsèques puis de construire la matrice impédance $[Z_e]$ liée aux paramètres impédances. Ensuite, par transformation de la matrice impédance $[Z_e]$ en matrice admittance $[Y_e]$, il est possible d'obtenir les capacités extrinsèques. Dans notre cas, nous déterminons la résistance R_{ge} pour tous les points de polarisation en utilisant la méthode

décrite dans la référence [88]. La prochaine étape est de déterminer les résistances de source et de drain en déplétion ; la dernière étape étant consacrée à la détermination des capacités extrinsèques.

En fonction du schéma de la figure 4.1, les équations décrivant les éléments de la partie extrinsèque sont données par les expressions ci-dessous, en partant de la matrice impédance $[Z_e]$.

$$[Z] = [Z_e] + [Y_e]^{-1} + [Y_{int}]^{-1} \quad (4-4)$$

$$[Z_e] = \begin{bmatrix} (R_{ge} + R_{se}) & R_{se} \\ R_{se} & (R_{de} + R_{se}) \end{bmatrix} \quad (4-5)$$

$$[Y_e] = \begin{bmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dse} + C_{gde}) \end{bmatrix} \quad (4-6)$$

$$[Y_{int}] = \begin{bmatrix} j\omega \left[\frac{C_{gsi}}{1 + j\omega R_{gsi} C_{gsi}} + C_{gdi} \right] & -j\omega [C_{gdi}] \\ \frac{g_{mie} - j\omega\tau}{1 + j\omega R_{gsi} C_{gsi}} - j\omega [C_{gdi}] & g_{di} + j\omega [C_{dsi} + C_{gdi}] \end{bmatrix} \quad (4-7)$$

a. Extraction de résistances séries extrinsèques

Comme les résistances de source et de drain sont dépendantes de la polarisation [84-85], [89], [95] il est important d'établir une méthode d'extraction robuste qui permet de déterminer les valeurs des résistances séries indépendantes de la polarisation (en mode OFF). La méthode que nous proposons est basée sur l'extraction des résistances séries aux différents points de polarisation en mode saturation. Delà, la partie réelle des paramètres-Z peut être exprimée par l'équation (4-8) tandis que les résistances séries sont représentées sur un plan bidimensionnel par l'équation (4-9).

$$Re(Z_{ij}) = Re(Z_{eij}) + \frac{A_{ij}}{\omega^2 + B}, \text{ avec } i, j \in \{1, 2\} \quad (4-8)$$

$$\{Re([Z_{ij}(\omega)]) = Re([Z_{kl}(\omega)])\} \quad (4-9)$$

Où A et B représente l'état réelle des expressions indépendantes de la fréquence impliquant uniquement les éléments extrinsèques tels que définis dans [79].

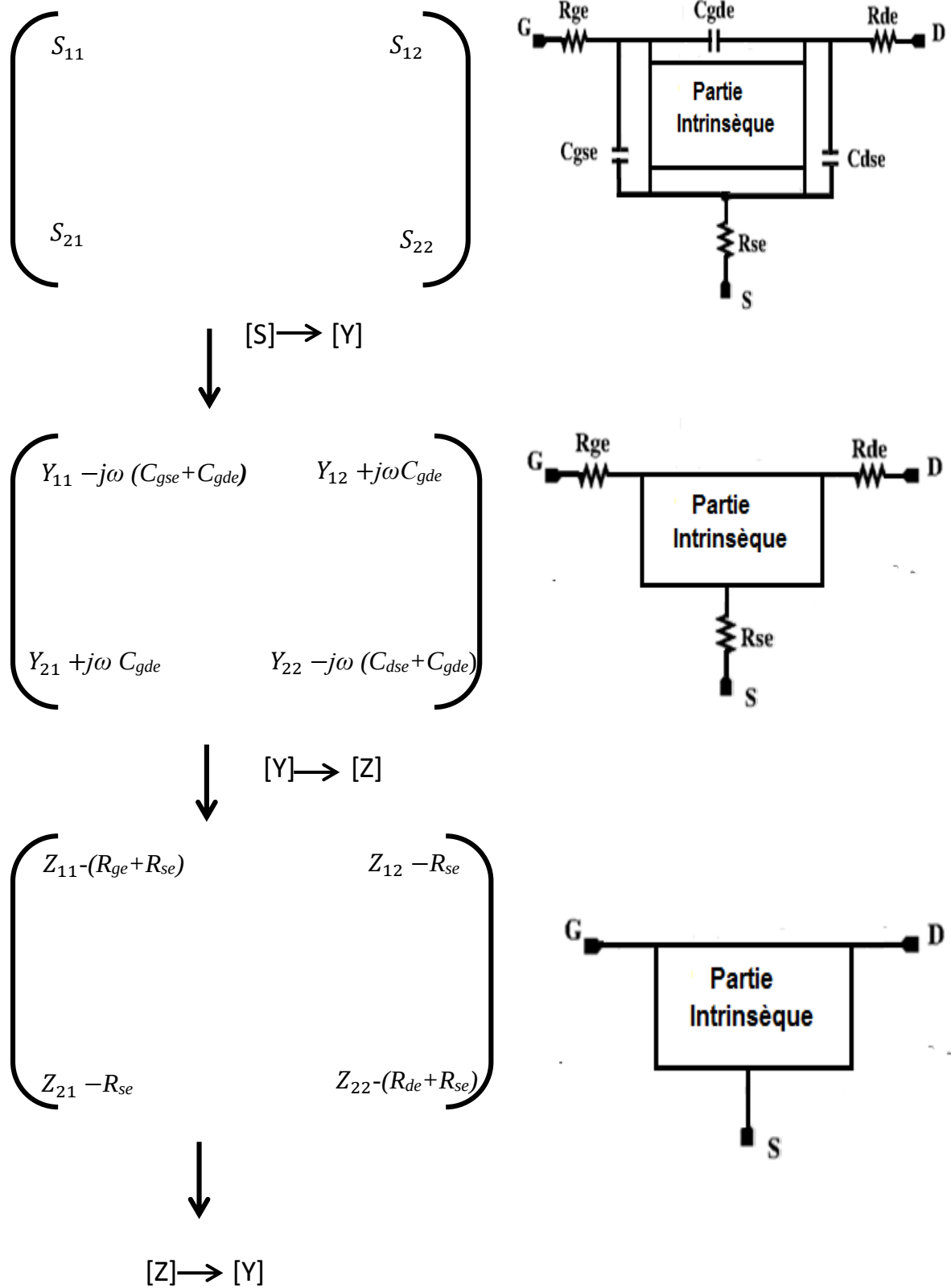


Figure 4. 3 Procédure d'extraction des éléments intrinsèques du transistor MOS SOI

À partir de l'équation (4-9), les paires de données $[Re(Z_{21}(\omega)), Re(Z_{12}(\omega))]$, $[Re(Z_{11}(\omega)), Re(Z_{21}(\omega))]$ et $[Re(Z_{22}(\omega)), Re(Z_{12}(\omega))]$ sont utilisées pour déterminer la résistance de source R_{se} , la résistance de grille R_{ge} et la résistance de drain R_{de} aux différents points de polarisation en saturation. Dans notre travail, les équations linéaires obtenues aux différents points de polarisation seront détaillées au chapitre 5.

Bien que la résistance R_{ge} est presque constante pour différents points de polarisation en saturation, nous pouvons en déduire qu'elle est indépendante de la polarisation. Par contre les résistances de source R_{se} et de drain R_{de} varient avec la polarisation. Il est donc important de déterminer les valeurs R_{se0} et R_{de0} à $V_{ds} = V_{gs} = 0$ V en utilisant la méthode de Raskin [88] en utilisant les paires respectives $[Re(Z_{11}(\omega)), Re(Z_{21}(\omega))]$ et $[Re(Z_{22}(\omega)), Re(Z_{12}(\omega))]$.

b. Extraction des capacités parasites

Les capacités extrinsèques représentent les capacités parasites du transistor incluant les capacités de chevauchement, de proximité et de bord.

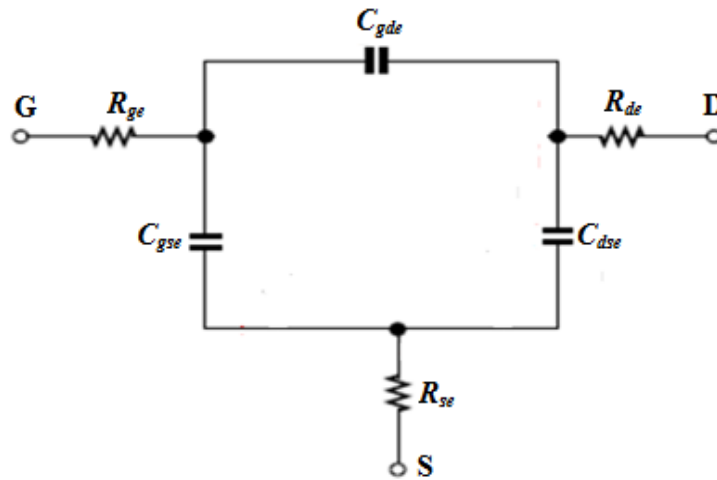


Figure 4. 4 Schéma équivalent petit signal du transistor MOS SOI à $V_{ds} = V_{gs} = 0$ V

Elles peuvent être directement déduites à partir de la partie imaginaire des paramètres-Y du circuit équivalent (figure 4.3) en déplétion ($V_{ds} = V_{gs} = 0$ V) et en utilisant les équations (4-1), (4-2) et (4-3).

4.4.2. Extraction des paramètres intrinsèques

Les paramètres intrinsèques représentent la partie active du transistor, après épluchage des résistances et des capacités extrinsèques. Les paramètres intrinsèques qui dépendent de la polarisation sont obtenus à partir de la matrice intrinsèque $[Y_{int}]$ donnée par l'équation (4-7).

En se basant sur cette matrice intrinsèque, les expressions des paramètres intrinsèques sont données par les équations ci-dessous.

$$R_{gsi} = Re\left(\frac{1}{Y_{11int} + Y_{12int}}\right) \quad (4-10)$$

$$C_{gsi} = -\frac{1}{\omega Im\left(\frac{1}{Y_{11int} + Y_{12int}}\right)} \quad (4-11)$$

$$C_{gdi} = -\frac{1}{\omega Im\left(\frac{1}{Y_{12int}}\right)} \quad (4-12)$$

$$g_m = -\left|\frac{Y_{21int} - Y_{12int}}{Y_{11int} - Y_{12int}}\right| \frac{1}{\omega Im\left(\frac{1}{Y_{11int} + Y_{12int}}\right)} \quad (4-13)$$

$$g_d = Re(Y_{22int}) \quad (4-14)$$

$$\tau = -\frac{1}{\omega} \arctan\left(\frac{Re\left(\frac{Y_{21int} - Y_{12int}}{Y_{11int} + Y_{12int}}\right)}{Im\left(\frac{Y_{21int} - Y_{12int}}{Y_{11int} + Y_{12int}}\right)}\right) \quad (4-15)$$

La représentation pratique de ces paramètres sera détaillée au chapitre 5.

4.5.1. Extraction des éléments extrinsèques

La manière traditionnelle de déterminer les paramètres extrinsèques du schéma équivalent de la figure 4.3 est d'extraire en premier lieu les résistances extrinsèques, puis de construire la matrice impédance $[Z_e]$. Ensuite, cette matrice est transformée en matrice admittance $[Y_e]$ à partir de laquelle les capacités extrinsèques peuvent être extraites. En se basant sur le principe de la nouvelle méthode proposée, nous commençons d'abord par l'extraction de la résistance de grille en utilisant le procédé décrit dans [96] à ($V_{ds} = V_{gs} = 0$ V), ce qui conduit à deux équations indépendantes avec deux variables inconnues.

a. Extraction des résistances extrinsèques

L'extraction des résistances extrinsèques se fait par une représentation paramétrique des parties réelles des éléments de la matrice impédance $[Z_e]$, où la partie réelle des paramètres Z peut être exprimée par l'équation (4-8).

Toutes les résistances extrinsèques peuvent être déterminées à partir des valeurs asymptotiques de l'équation (4-8). A noter qu'il est possible de transformer la détermination des valeurs asymptotiques en un problème de régression linéaire. Ainsi les résistances séries R_{se} , R_{ge} et R_{de} peuvent être déduites en utilisant les courbes paramétriques définies dans un plan bidimensionnel $[x_1, x_2]$ à partir de l'équation (4-9).

$$x_{02} = Re(Z_{kl}) - \frac{A_{kl}}{A_{ij}} Re(Z_{ij}) \quad (4-17)$$

Ces courbes étant des lignes droites, leur intersection avec l'origine $[0, x_{02}]$ et leur pente α sont données par :

$$\alpha = \left(\frac{dx_2}{dx_1} \right) = \left(\frac{A_{kl}}{A_{ij}} \right) \quad (4-18)$$

En substituant les valeurs des intersections et des pentes par leurs valeurs obtenues en régression linéaire sur les points de mesures dans les équations (4-17) et (4-18), nous pouvons obtenir les équations linéaires reliant les résistances séries. Combinant les trois équations obtenues en faisant varier les indices (i, j, k, l), il est possible de construire un ensemble d'équations linéaires qui permet de déterminer les résistances séries extrinsèques.

Mais dans le cas où transistor est polarisé à froid ($V_{ds} = V_{gs} = 0$ V), l'extraction des trois résistances à partir des équations (4-8) et (4-9) est impossible, car le transistor est à l'état OFF. En supposant que $Re(Z_{12}) = Re(Z_{21})$, la courbe $Re(Z_{12})$ en fonction $Re(Z_{21})$ donne une droite qui passe par l'origine avec une pente de 45° ($\alpha = 1$).

Pour cela, nous avons fait appel à la méthode de Lovelace pour déterminer la résistance de grille R_{ge} en fonction de la fréquence [96]. Une fois R_{ge} déterminée, les paires de données [$Re(Z_{21})$, $Re(Z_{11})$], [$Re(Z_{12})$, $Re(Z_{22})$] servent à déterminer respectivement la résistance de source R_{se} et la résistance de drain R_{de} .

b. Extraction des capacités extrinsèques

Les capacités extrinsèques sont déterminées à partir de la partie imaginaire des paramètres admittance- Y dont la matrice est donnée dans l'équation (4-6). A $V_{ds} = V_{gs} = 0$ V et en basse fréquence (< 5 GHz), le circuit équivalent est réduit à celui de la figure 4.5, les inductances et les résistances parasites sont négligées et donc n'influent pas sur la partie imaginaire des paramètres- Y . Ces capacités parasites sont indépendantes de la polarisation et en même temps proportionnelles à la largeur du transistor. La partie imaginaire des paramètres- Y est donnée par les équations (4-1), (4-2), (4-3).

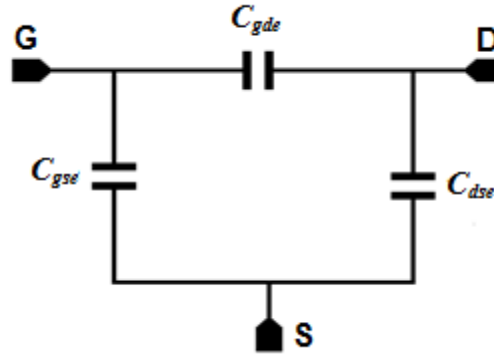


Figure 4. 6 Schéma équivalent petit signal du transistor FinFET à $V_{ds} = V_{gs} = 0$ V aux basses fréquences

Delà, C_{gde} est déterminée d'une façon directe en utilisant l'équation (4-2) alors que la capacité C_{gse} est déduite de l'équation (4-1). Enfin, la capacité C_{dse} est obtenue de l'équation (4-3). Le tracé de ces courbes en fonction de la fréquence sera montré dans le chapitre 5.

4.6. Application à l'extraction des éléments d'un schéma équivalent du transistor HEMT AlGaIn/GaN

A la suite des deux parties précédentes qui traitent de l'application de l'approche proposée à certains transistors caractéristiques de la famille MOSFET, cette partie décrit l'approche théorique de notre nouvelle méthode lorsqu'adaptée à une autre structure de transistors que sont les HEMTs GaN.

Le transistor HEMT AlGaIn/ GaN a été l'objet d'une intense recherche ces dernières années due à son potentiel élevé pour des applications haute puissance en radiofréquence et micro-ondes. Cette ouverture a permis l'émergence de nouveaux circuits intégrés (Monolithic Microwave Integrated Circuits ou MMICs) à base de HEMT GaN tel que les oscillateurs accordés par varactors (VCO), les mélangeurs, les amplificateurs de puissance ... En conséquence, il est nécessaire de développer un modèle petit signal précis pour les HEMT GaN de base [103-106].

Les méthodes d'optimisation classiques peuvent donner des valeurs sans sens physique et leur résultat dépend fortement des valeurs initiales. Ainsi, la valeur de l'inductance L_s est quelque fois incertaine alors que la résistance R_{gdi} est souvent négligée [107].

D'une manière générale le temps de calcul et les ressources nécessaires exigées par les méthodes d'optimisation font des méthodes d'extraction directe une approche plus appropriée [96], [108].

Dans ce contexte et afin de pallier aux inconvénients des méthodes d'optimisation, une méthode d'extraction directe a été proposée. Elle est basée sur le circuit équivalent de la figure 4.6 et son principe est similaire à celui décrit au paragraphe 4.1.

4.6.1. Choix du schéma équivalent

Les méthodes et les résultats d'extraction dépendent en grande partie de la topologie du modèle. Il est crucial de choisir une structure de schéma équivalent appropriée au transistor retenu et qui reflète le plus fidèlement possible son comportement physique. Vu le courant de fuite de la grille, deux conductances G_{gdf} et G_{gsf} ont été ajoutées dans les éléments intrinsèques par rapport au modèle petit signal du transistor à effet de champ conventionnel constitué de 16 éléments. De plus, trois capacités parasites C_{gse} , C_{gde} et C_{dse} ont été également

Ajoutées pour décrire les effets inter-électrodes grille-source, grille-drain et drain-source, respectivement. Le schéma équivalent est montré à la figure 4.8 [96].

Les étapes suivies en détails pour extraire tous les valeurs des éléments d'un schéma équivalent petit signal des transistors HEMT à base de GaN sont montrées en organigramme de la figure 4.7.

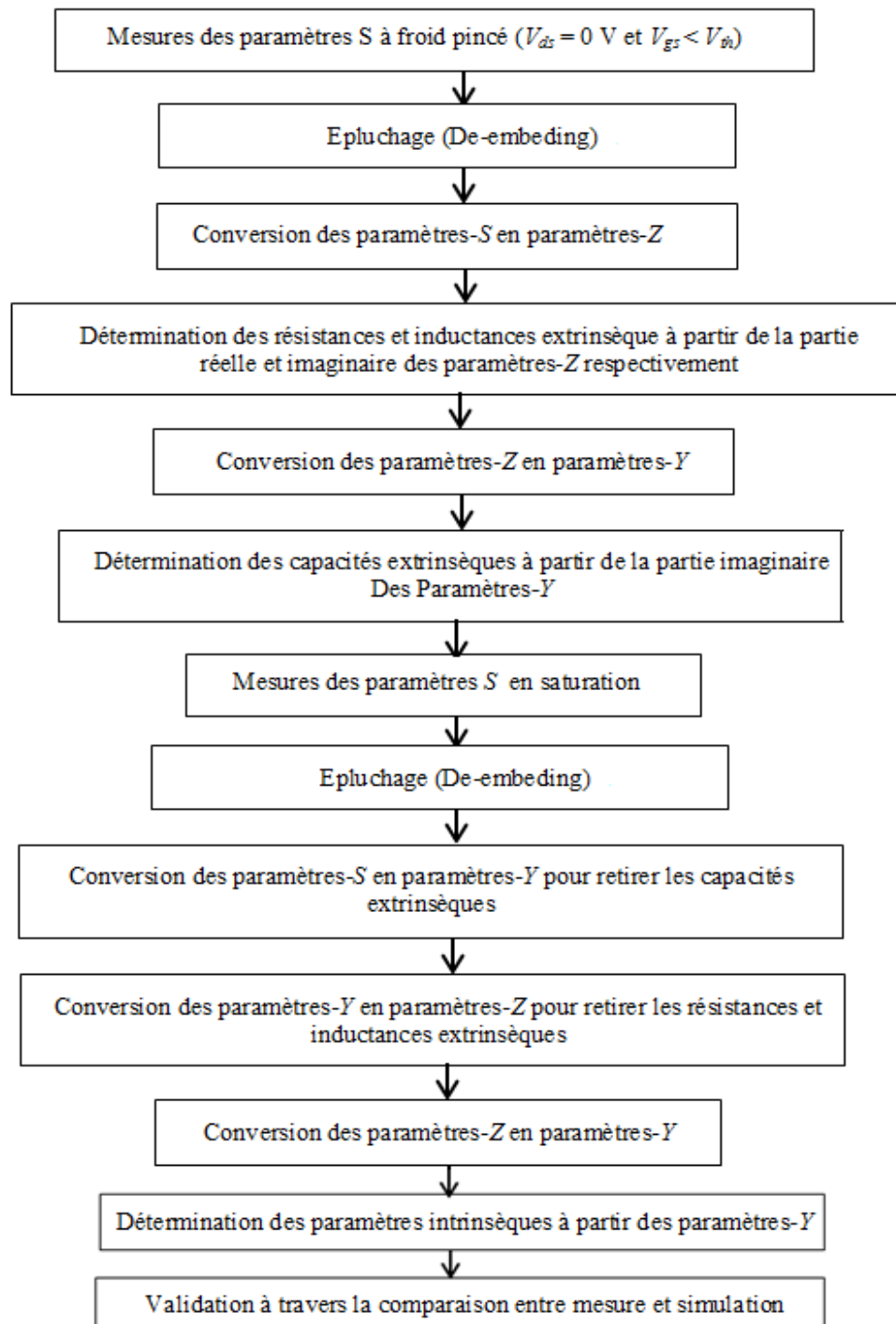


Figure 4. 7. Organigramme de la méthode proposée appliquée sur le transistor HEMT ALGaIn/GaN

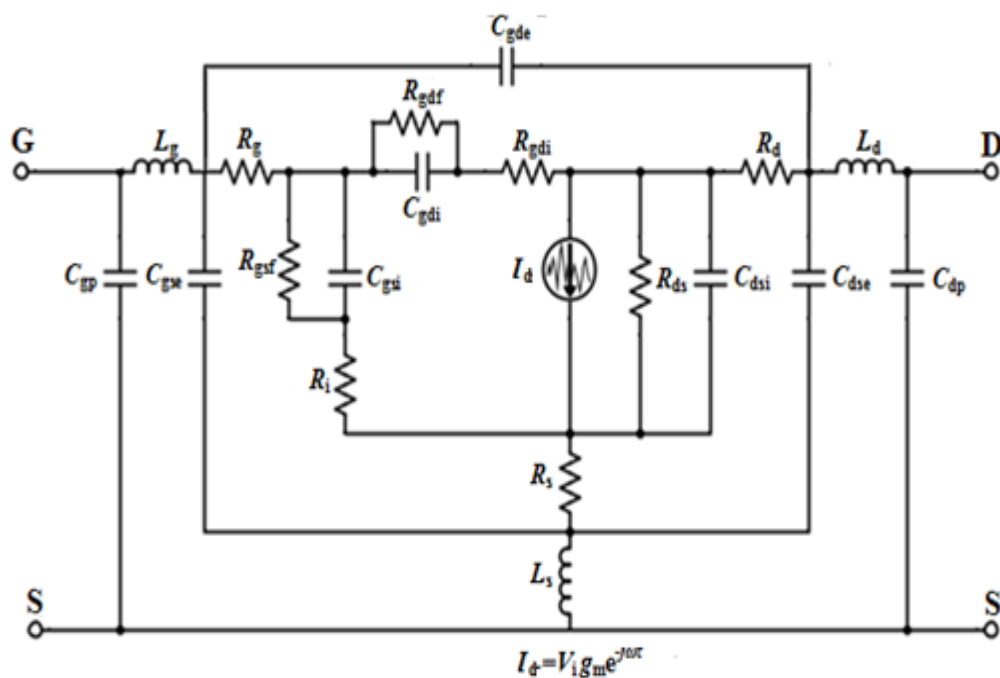


Figure 4. 8 Schéma équivalent petit signal de transistor HEMT AlGaIn/GaN à 21 éléments

4.6.2. Extraction des éléments extrinsèques

Nous commençons tout d'abord par l'extraction des capacités parasites en basse fréquence (< 5 GHz). Puis, les résistances et inductances extrinsèques sont déterminées en utilisant le procédé décrit dans les références [12], [96], [99], [108-109].

a. Extraction des capacités extrinsèques

Les éléments extrinsèques sont extraits à partir des mesures de paramètres-S à froid pincé. Il est bien connu que les capacités parasites sont déterminées à froid pincé ($V_{ds} = 0$ et $V_{gs} < V_{th}$). Dans ces conditions, le schéma équivalent peut être réduit à celui de la figure 4.7 (< 5 GHz).

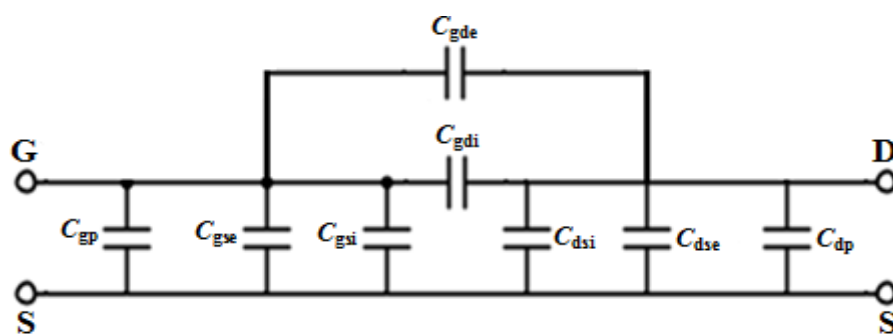


Figure 4. 9 Schéma équivalent à froid pincé aux basses fréquences

Puisque nous sommes dans la gamme des basses fréquences, les inductances peuvent être négligées et les résistances n'influent pas sur la partie imaginaire des paramètres-Y.

La partie imaginaire des éléments de la matrice admittance Y peut être exprimée comme suit [96] :

$$\text{Im}(Y_{11}) = j\omega(C_{gso} + C_{gdo}) \quad (4 - 19)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -j\omega C_{gdo} \quad (4 - 20)$$

$$\text{Im}(Y_{22}) = j\omega(C_{dso} + C_{gdo}) \quad (4 - 21)$$

Avec :

$$C_{gso} = C_{gp} + C_{gse} + C_{gsi} \quad (4 - 22)$$

$$C_{gdo} = C_{gde} + C_{gdi} \quad (4 - 23)$$

$$C_{dso} = C_{dp} + C_{dse} + C_{dsi} \quad (4 - 24)$$

Où C_{gso} , C_{gdo} et C_{dso} représentent les capacités respectives entre grille-source, grille-drain et drain-source [96]. La détermination des capacités grille-source, grille-drain et drain-source est décrite par les étapes suivantes. En considérant que la couche sous la grille est symétrique quand $V_{ds} = 0$ V, nous avons

$$C_{gsi} = C_{gdi} \quad (4 - 25)$$

De l'équation (4-23) nous pouvons déterminer C_{gdo} alors que C_{dse} peut être vue comme faisant partie de la capacité totale drain-source [108].

$$C_{dse} = 3C_{pd} \quad (4 - 26)$$

Afin de séparer C_{pd} de C_{ds} nous utilisons l'équation empirique proposée dans [127]

$$C_{dsi} = 12C_{dp} \quad (4 - 27)$$

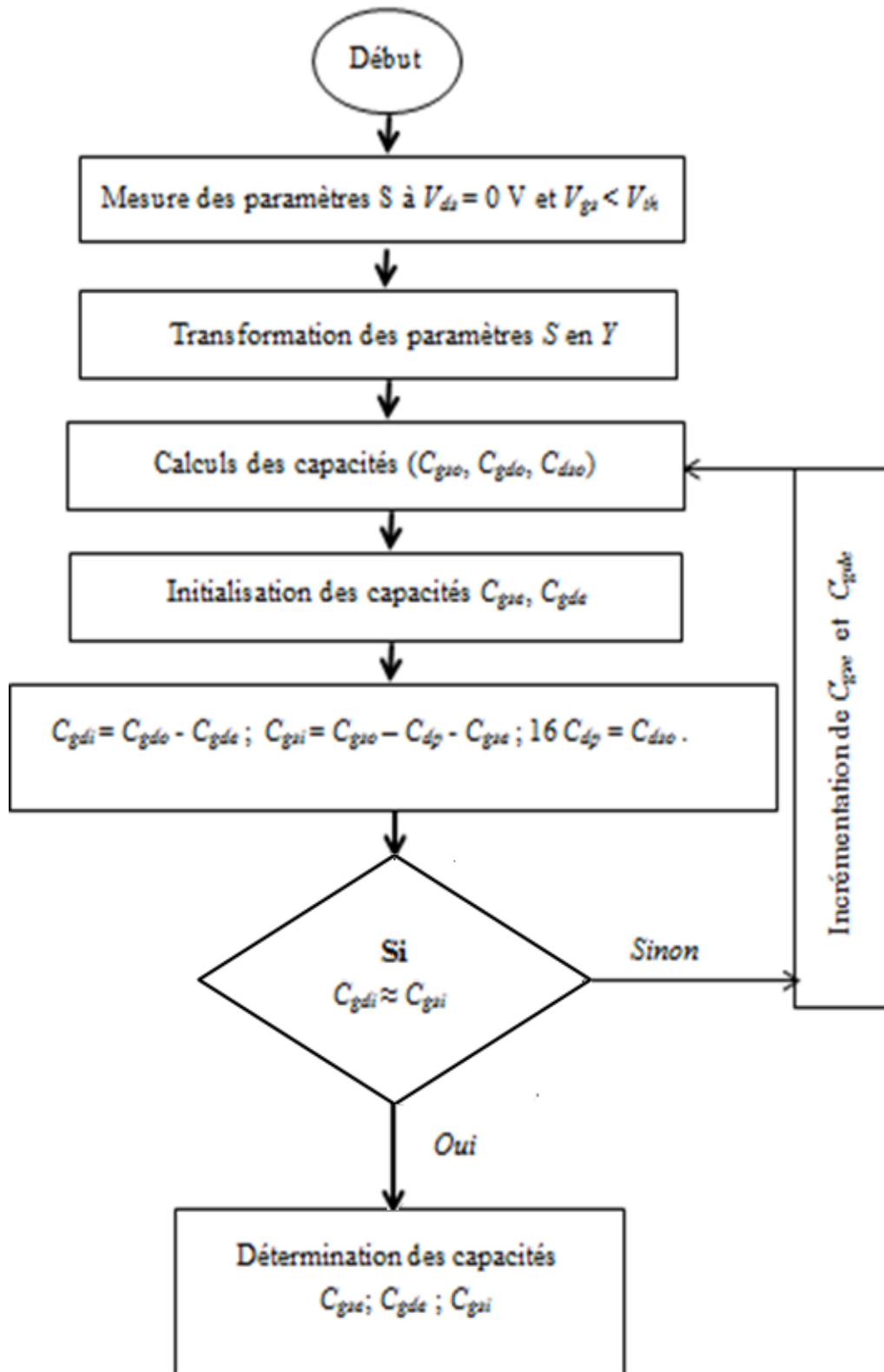


Figure 4. 10 Organigramme des étapes de détermination des capacités parasites

Dans le processus de fabrication standard, les capacités parasites de plot sont approximativement égales [96].

$$C_{gp} = C_{dp} \quad (4 - 28)$$

En combinant les équations (4-24), (4-26) et (4-27), nous obtenons :

$$C_{dso} = 16C_{dp} \quad (4 - 29)$$

Pour un tel type de transistors, les valeurs des capacités de plot ne dépassent généralement pas la moitié de la capacité totale, cela veut dire que C_{dp} et C_{gp} sont comprises entre 0 et $0.5C_{dso}$ [12].

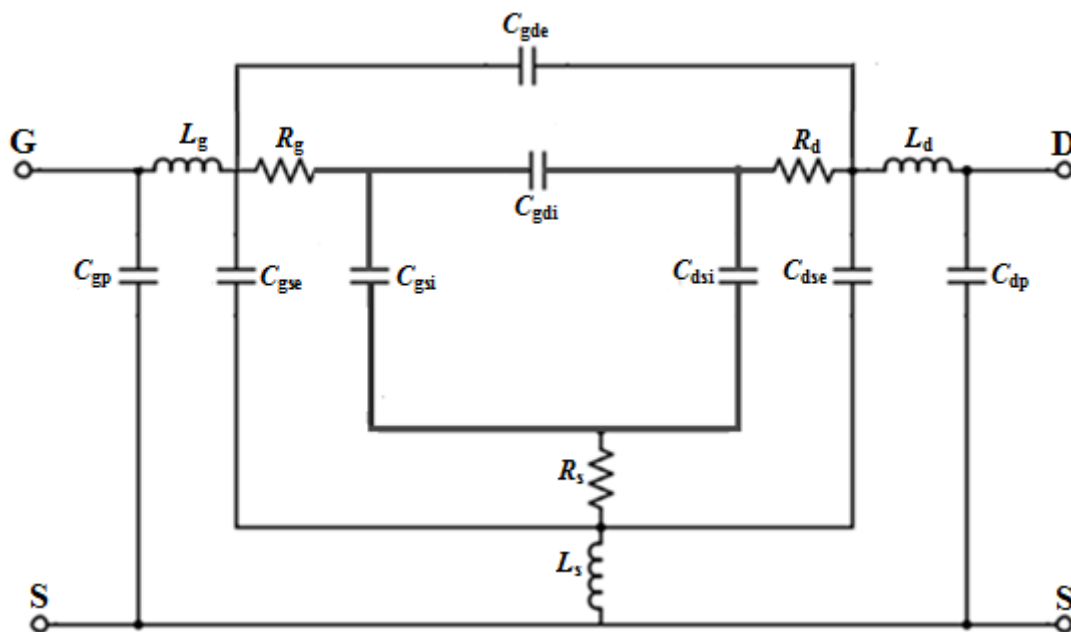


Figure 4. 11 Schéma équivalent du HEMT GaN à $V_{gs} = 0$ V et $V_{ds} = 0$ V

b. Extraction des résistances et inductances extrinsèques

L'extraction des résistances et inductances parasites se fait à polarisation froide pincée c'est-à-dire $V_{ds} = 0$ V et $V_{gs} < V_{th}$ pour des fréquences supérieures à 5 GHz. Le circuit équivalent du transistor représenté à la figure 4.9 est transformé en architecture T figure 4.10 où les capacités inter-électrodes (C_{gse} , C_{dse}) ont été absorbées dans les capacités intrinsèques [108]. R_{ch} est la résistance du canal sous la grille. D'après la figure 4.10 les expressions des paramètres Z sont :

$$Z_{11} = R_s + R_g + R_{ch}/2 + j \left(\omega(L_s + L_g) - \frac{1}{\omega C_g} - \frac{1}{\omega C_s} \right) \quad (4-30)$$

$$Z_{12} = Z_{21} = R_s + R_{ch}/2 + j \left(\omega L_s - \frac{1}{\omega C_s} \right) \quad (4-31)$$

$$Z_{22} = R_s + R_d + R_{ch} + j \left(\omega(L_s + L_d) - \frac{1}{\omega C_d} - \frac{1}{\omega C_s} \right) \quad (4-32)$$

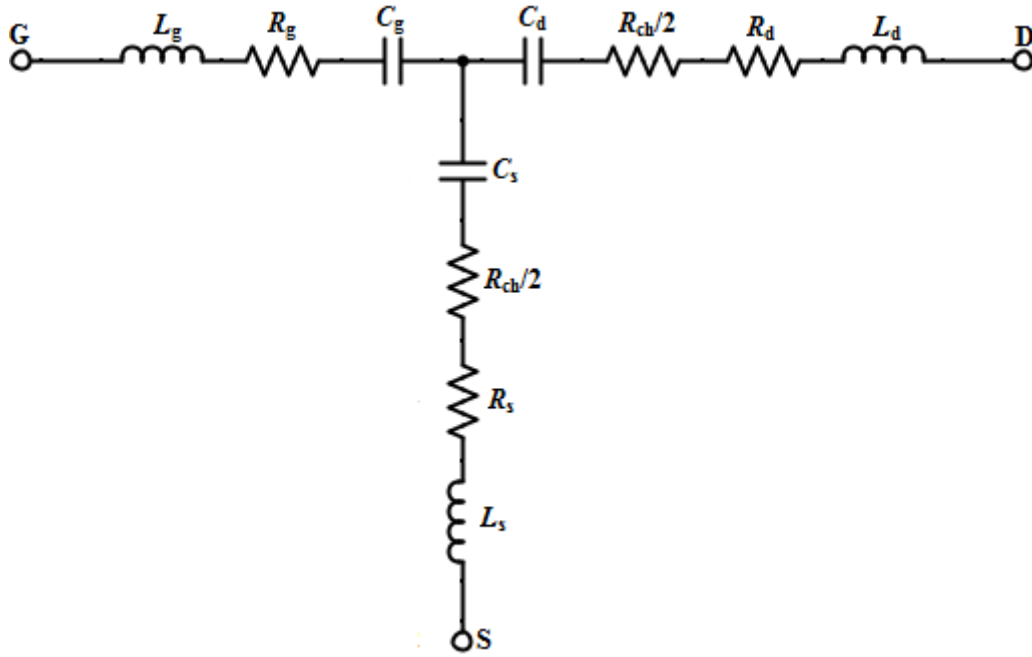


Figure 4. 12. Schéma équivalent en T du transistor HEMT AlGaIn/GaN en T à $V_{ds} = 0$ V et $V_{gs} < V_{th}$

Les valeurs de R_s , R_g , R_d sont déterminées à partir de la partie réelle de (Z_{ij}) et après l'épluchage des capacités extrinsèques à partir des paramètres-Y. Puis ces paramètres sont convertis en paramètres-Z, mais comme il y a seulement 3 équations avec 4 inconnus, R_{ch} représente l'impédance intrinsèque résiduelle souvent considéré comme une résistance de canal. Ce qui est négligé dans notre méthode, rendant la détermination de la résistance parasite R_s , R_g et R_d à partir de $Re(Z_{ij})$ beaucoup plus facile.

Les valeurs des inductances L_g , L_d et L_s peuvent être extraites à partir de la pente des courbes de $\omega * Im(Z_{ij})$ en fonction de ω^2 .

4.6.3. Extraction des paramètres intrinsèques

Le circuit équivalent des paramètres intrinsèques peut être représenté sous forme de branches d'admittances selon la figure 4.11.

L'admittance de la branche grille-source est donnée par:

$$Y_{gs} = Y_{i11} + Y_{i12} = \frac{G_{gsf} + j\omega C_{gsi}}{1 + R_i G_{gsf} + j\omega R_i C_{gsi}} \quad (4 - 33)$$

En définissant une nouvelle variable G basée sur l'équation (4-33) [99].

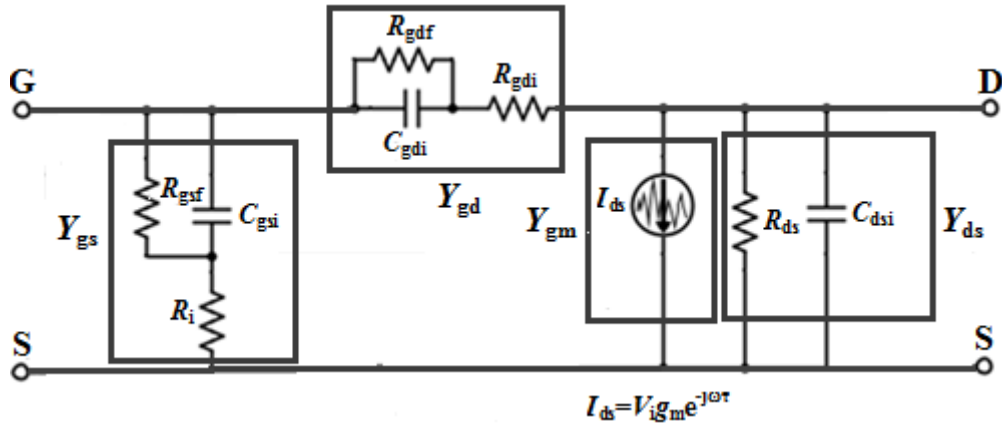


Figure 4. 13. Schéma équivalent des paramètres intrinsèques du transistor HEMT AlGaIn/GaN en branches d'admittances

$$G = \frac{|Y_{gs}|^2}{\text{Im}(Y_{gs})} \quad (4 - 34)$$

Nous pouvons trouver les conditions de validité de cette approximation en séparant partie réelle et partie imaginaire de Y_{gs} .

$$Y_{gs} = \frac{G_{gsf}(1 + R_i G_{gsf}) + (\omega C_{gsi})^2 R_i}{(1 + R_i G_{gsf})^2 + (\omega + R_i C_{gsi})^2} + j \frac{\omega C_{gsi}}{(1 + R_i G_{gsf})^2 + (\omega + R_i C_{gsi})^2} \quad (4 - 35)$$

Ce qui donne :

$$\frac{|Y_{gs}|^2}{Im(Y_{gs})} = \frac{(Re(Y_{gs}))^2 + (Im(Y_{gs}))^2}{Im(Y_{gs})} = \frac{(Re(Y_{gs}))^2}{Im(Y_{gs})} + Im(Y_{gs})$$

$$\frac{|Y_{gs}|^2}{Im(Y_{gs})} = \frac{[G_{gsf}(1 + R_i G_{gsf}) + (\omega C_{gsi})^2 R_i]^2}{(1 + R_i G_{gsf})^2 + (\omega + R_i C_{gsi})^2} + Im(Y_{gs})$$

d'où :

$$\frac{|Y_{gs}|^2}{Im(Y_{gs})} = \frac{[G_{gsf}(1 + R_i G_{gsf}) + (\omega C_{gsi})^2 R_i]^2 + (\omega C_{gsi})^2}{\omega C_{gsi}(1 + R_i G_{gsf})^2 + (\omega + R_i C_{gsi})^2} \quad (4-36)$$

Avec les approximations ($R_i G_{gsf} \ll 1$) et $((\omega C_{gsi} R_i)^2 \ll 1)$ [108], l'équation (4-36) devient

$$G = \frac{|Y_{gs}|^2}{Im(Y_{gs})} = \frac{G_{gsf}^2}{\omega C_{gsi}} + \omega C_{gsi} \quad (4-37)$$

De cette dernière, nous pouvons déduire la valeur de C_{gsi} à partir de la pente de la courbe ω G en fonction de ω^2 [109]. En procédant similairement pour Y_{gd} , C_{gdi} et G_{gdf} avec :

$$Y_{gd} = -Y_{i12} = \frac{G_{gdf} + j\omega C_{gdi}}{1 + R_{gd} G_{gdf} + j\omega R_{gd} C_{gdi}} \quad (4-38)$$

$$G = \frac{|Y_{gd}|^2}{Im(Y_{gd})} = \frac{G_{gdf}^2}{\omega C_{gdi}} + \omega C_{gdi} \quad (4-39)$$

et en considérant que ($R_{gd} G_{gdf} \ll 1$) et $((\omega C_{gdi} R_{gd})^2 \ll 1)$ [109], nous pouvons en déduire C_{gdi} par la pente de la courbe $\omega * G$ en fonction de ω^2 .

Les deux équations qui permettent de déterminer les deux résistances R_i et R_{gd} sont déduites directement des équations (4-33) et (4-38), par remplacement directe et sans approximations de leurs parties réelles et imaginaires dans les équations (4-40) et (4-41) respectivement :

$$\omega \frac{Re(Y_{gs})}{Im(Y_{gs})} = \frac{G_{gsf}(1 + R_i G_{gsf})}{C_{gsi}} + \omega^2 C_{gsi} R_i \quad (4-40)$$

$$\omega \frac{Re(Y_{gd})}{Im(Y_{gd})} = \frac{G_{gdf}(1 + R_{gd} G_{gdf})}{C_{gdi}} + \omega^2 C_{gdi} R_{gd} \quad (4-41)$$

L'approximation linéaire des données de mesures utilisant l'équation (4-40) en fonction de $(\omega^2 C_{gsi})$ donne la valeur de la résistance R_i comme étant la pente. La valeur de la résistance R_{gd} est obtenue de la même façon que R_i en utilisant l'équation (4-41) en fonction de $(\omega^2 C_{gdi})$.

Selon les équations (4-33) et (4-38), les parties réelles de Y_{gs} et Y_{gd} sont exprimées comme ci-dessous :

$$Re(Y_{gs}) = \frac{G_{gsf}(1 + R_i G_{gsf}) + \omega^2 C_{gsi}^2 R_i}{(1 + R_i G_{gsf})^2 + \omega^2 C_{gsi}^2 R_i^2} \quad (4-42)$$

$$Re(Y_{gd}) = \frac{G_{gdf}(1 + R_{gd} G_{gdf}) + \omega^2 C_{gdi}^2 R_{gd}}{(1 + R_{gd} G_{gdf})^2 + \omega^2 C_{gdi}^2 R_{gd}^2} \quad (4-43)$$

Les valeurs de G_{gsf} et G_{gdf} sont obtenues à partir des parties réelles de Y_{gs} et Y_{gd} en basse fréquence (< 100 MHz) où les termes de ces deux équations qui varient avec la fréquence deviennent négligeables [108].

$$Y_{gm} = Y_{i21} - Y_{i12} = \frac{g_m e^{-j\omega\tau}}{1 + R_i G_{gsf} + j\omega R_i C_{gsi}} \quad (4-44)$$

Les deux équations ci-dessous (4-45) et (4-46) sont alors déduites en combinant les deux équations (4-33) et (4-44).

$$\left| \frac{Y_{gs}}{Y_{gm}} \right|^2 = \left(\frac{G_{gsf}}{g_m} \right)^2 + \left(\frac{1}{g_m} \right)^2 \omega^2 C_{gsi}^2 \quad (4-45)$$

$$Phase \left\{ j\omega C_{gsi} \frac{Y_{gs}}{Y_{gm}} \right\} = -\omega\tau \quad (4-46)$$

La transconductance g_m représente la pente de l'approximation linéaire de l'équation (4-45) en fonction de $(\omega^2 C_{gsi}^2)$. La valeur de τ est la pente de l'équation (4-46) en fonction de ω .

De même, avec :

$$Y_{ds} = Y_{i22} + Y_{i12} = g_{ds} + j\omega C_{dsi} \quad (4 - 47)$$

Il est possible de déterminer la capacité C_{dsi} à partir de la pente de la partie imaginaire $Im [Y_{ds}]$ en fonction de ω . Egalement à partir de la même équation, la valeur de g_{ds} est donnée directement par la partie réelle $Re [Y_{ds}]$.

La représentation de ces paramètres en fonction de la fréquence est montrée en chapitre 5.

4.7. Conclusion

Dans ce chapitre nous nous sommes intéressés à l'aspect théorique de la caractérisation et de la modélisation des transistors à effet de champ et plus particulièrement à la détermination des éléments de leur schéma électrique équivalent petit signal. Nous avons alors proposé une méthode originale permettant la détermination, d'une façon directe et précise, de tous les éléments du schéma équivalent petit signal des transistors à effet de champ.

La première application a concerné l'extraction de tous les éléments extrinsèques et intrinsèques du schéma équivalent petit signal des transistors MOS SOI. L'approche retenue a permis de déterminer les valeurs des résistances extrinsèques à tous les points de polarisation en saturation. Puis, en démontrant que la valeur de R_{ge} reste presque constante quel que soit le mode de polarisation, la résolution d'un système de deux équations à deux inconnues nous a permis d'obtenir les valeurs des deux résistances qui varient avec la polarisation, en l'occurrence, R_{se} et R_{de} .

À partir de la partie imaginaire des paramètres admittance à $V_{ds} = V_{gs} = 0$ V, les capacités extrinsèques ont pu être déterminées. Une fois ces éléments parasites connus, ceci nous a mené à déterminer les éléments intrinsèques à partir d'une simple transformation matricielle successive de la matrice de répartition $[S]$ mesurée en matrice admittance intrinsèque $[Y_{int}]$.

En outre, le transistor FinFET a fait l'objet d'un travail d'extraction de sa partie extrinsèque, où l'accent a été mis sur la détermination des résistances extrinsèques. Le

principe a porté d'abords sur l'évaluation de la résistance de grille en fonction de la fréquence puis les deux résistances de source et de grille avec la méthode de régression linéaire à $V_{ds} = V_{gs} = 0$ V.

CHAPITRE 5

Résultats et Discussions

5.1. Introduction

Le présent chapitre constituera une phase de test et validation de ce qui a été fondé depuis de début de ce manuscrit. Nous allons exposer les résultats de caractérisation et modélisation petit-signal des transistors à effet de champ TEC discutés aux chapitres précédents, et ce, moyennant l'approche proposée.

En premier lieu, nous présenterons les résultats de l'application de la dite méthode sur des transistors MOS SOI, à savoir, les transistors MOS SOI de type PD de longueur de grille $L_g = 130$ nm, les transistors UTBB FD-SOI. En second lieu, nous présenterons les résultats d'extraction sur le transistor FinFET. Puis nous procéderons de même pour les transistors HEMT AlGaIn/GaN.

Evidemment, afin de valider l'approche proposée nous allons comparer les résultats issus de la simulation avec les données des mesures utilisant le logiciel de simulation ADS (*Advanced design System*). Et pour conclure tout en validant davantage la robustesse de la méthode, nous étudierons sa sensibilité et son immunité par rapport à élément omniprésent dans la pratique à savoir les planchers de bruit.

5.2. Modèle RF petit signal des transistors à effet de champ

5.2.1. Modèles RF petit signal des transistors MOS PD-SOI 130 nm

Les résultats d'extraction RF du circuit équivalent petit signal des transistors MOS PD-SOI de longueur de grille $L_g = 130$ nm et d'une largeur $W = 120$ μm sont exposés dans les figures 5.1 à 5.6.

5. 2.1.1. Schéma équivalent petit signal du transistor MOS PD-SOI 130 nm

Le schéma électrique équivalent du transistor FET représenté à la figure 4.1 du chapitre 4, comprend deux parties : l'une intrinsèque et l'autre extrinsèque. Ce schéma est suffisant pour décrire le comportement du transistor du moment que ses éléments sont indépendants de la fréquence.

a. Extraction des résistances extrinsèques de MOS PD-SOI 130 nm en saturation

L'objectif de cette partie est de montrer la dépendance des résistances de source et de drain avec la polarisation et ce, en utilisant une méthode de régression linéaire (voir paragraphe 4.3.1.a du chapitre 4). Les paires de données $[Re(Z_{21}(\omega)), Re(Z_{12}(\omega))]$, $[Re(Z_{21}(\omega)), Re(Z_{11}(\omega))]$ et $[Re(Z_{12}(\omega)), Re(Z_{22}(\omega))]$ sont utilisées pour déterminer respectivement les résistances de source R_{se} , de grille R_{ge} et de drain R_{de} en saturation (figure 5.1). Les courbes de ces paires de données doivent être des lignes droites qui donnent deux paramètres importants, à savoir l'intersection à l'origine x_{02} et la pente α . En remplaçant ces deux paramètres x_{02} et α par leurs valeurs calculées dans les équations des droites relatives aux paires de données susmentionnées, des équations linéaires en rapport avec les résistances série peuvent être déduites.

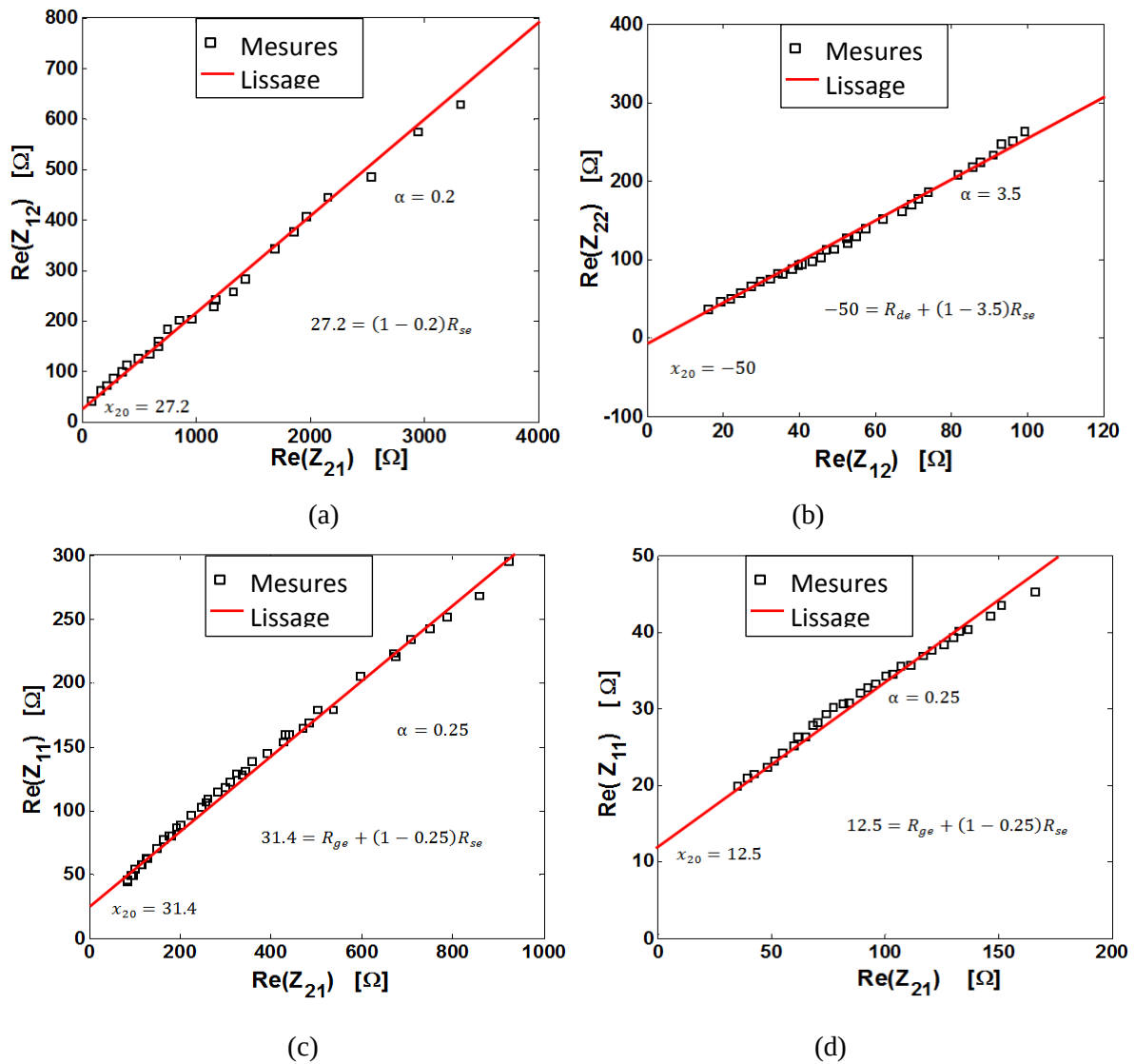


Figure 5. 1. Représentation paramétrique des résistances extrinsèques dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à $V_{ds} = 1.2$ V. (a) extraction de la résistance R_{se} à $V_{gs} = 0.2$ V, (b) extraction de la résistance R_{de} à $V_{gs} = 0.2$ V, (c) extraction de la résistance R_{ge} à $V_{gs} = 0.2$ V, (d) extraction de la résistance R_{ge} à $V_{gs} = 1$ V

Le Tableau 5.1 montre les valeurs des résistances extrinsèques relatives au transistor MOS PD-SOI 130 nm, extraites pour différents points de polarisation en saturation. Les valeurs de résistance de grille R_{ge} montrant une faible variation, on peut conclure que cette résistance est indépendante de la polarisation. Par contre, les valeurs des résistances de source et drain R_{se} et R_{de} , extraites dans les mêmes conditions, montrent une dépendance de polarisation.

Tableau 5. 1 Résistances extrinsèques extraites pour le MOS PD-SOI avec $L_g = 130$ nm et $W = 120$ μ m en saturation

V_{ds} (V)	V_{gs} (V)	R_{ge} (Ω)	R_{se} (Ω)	R_{de} (Ω)
1.2	0.2	5.8	34	35
1.2	0.4	6.3	15	30.5
1.2	0.6	5.7	11	29.4
1.2	0.8	5.5	9.5	18
1.2	1.0	6.2	8.4	16
1.2	1.2	5.8	7.1	13.2
1.2	1.4	6.2	5.3	4.2

b. Extraction des résistances extrinsèques à $V_{ds} = 0$ V et $V_{gs} = 0$ V

Une fois la résistance R_{ge} fixée, on peut appliquer le problème de régression linéaire sur un MOS PD-SOI à froid c'est-à-dire à $V_{ds} = 0$ V et $V_{gs} = 0$ V. Les figures 5.2 (a) et (b) montrent que les paires $[Re(Z_{21}(\omega)), Re(Z_{11}(\omega))]$ et $[Re(Z_{12}(\omega)), Re(Z_{22}(\omega))]$ sont utilisées pour déterminer, respectivement, la résistance de source R_{se} , et la résistance de drain R_{de} .

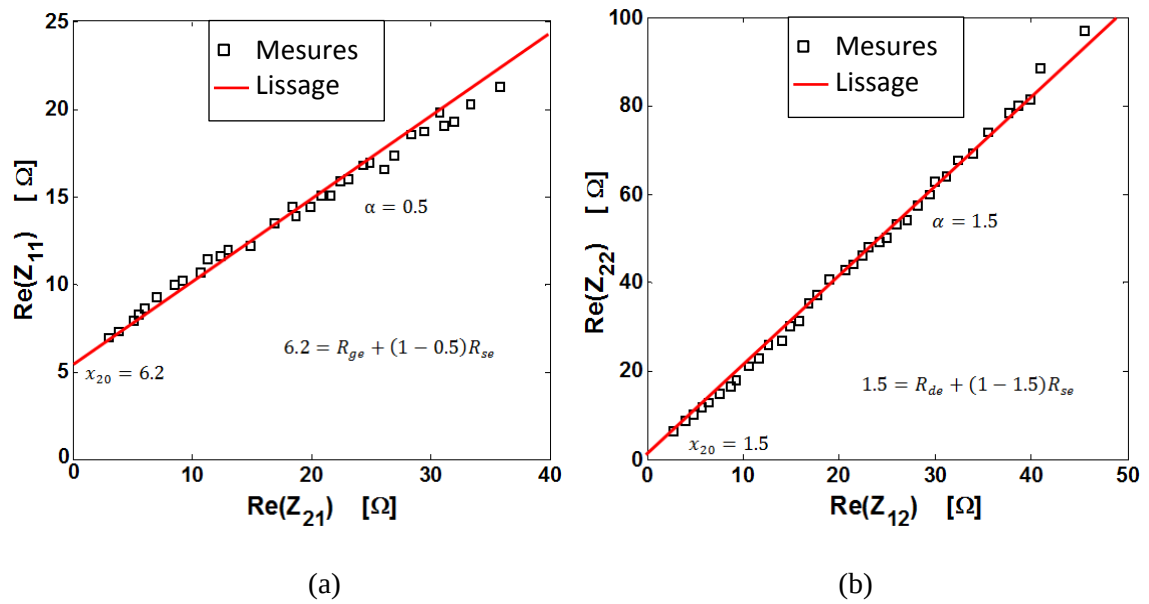


Figure 5. 2. Représentation paramétrique des résistances extrinsèques dans la gamme 0.04-40 GHz du transistor MOS PD-SOI avec $L_g = 130$ nm à $V_{ds} = 0$ V et $V_{gs} = 0$ V. (a) extraction de la résistance R_{se} , (b) extraction de la résistance R_{de}

c. Extraction des paramètres intrinsèques

Les paramètres intrinsèques représentent la partie active du transistor MOS PD-SOI 130 nm. Le paragraphe 4.3.2 du chapitre 4 nous donne les expressions des paramètres intrinsèques issues de la matrice intrinsèque $[Y_{int}]$.

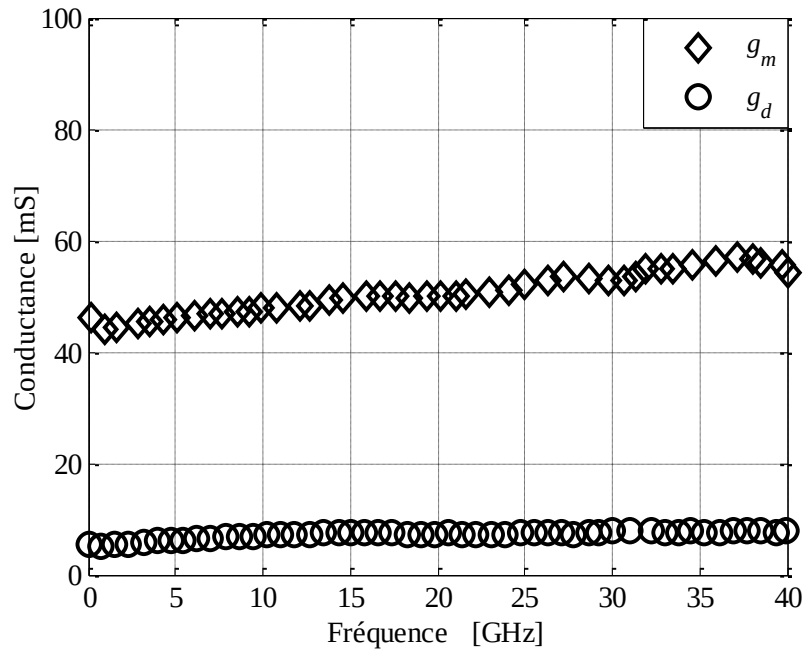


Figure 5. 3. Représentation des conductances extraites en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120$ μ m

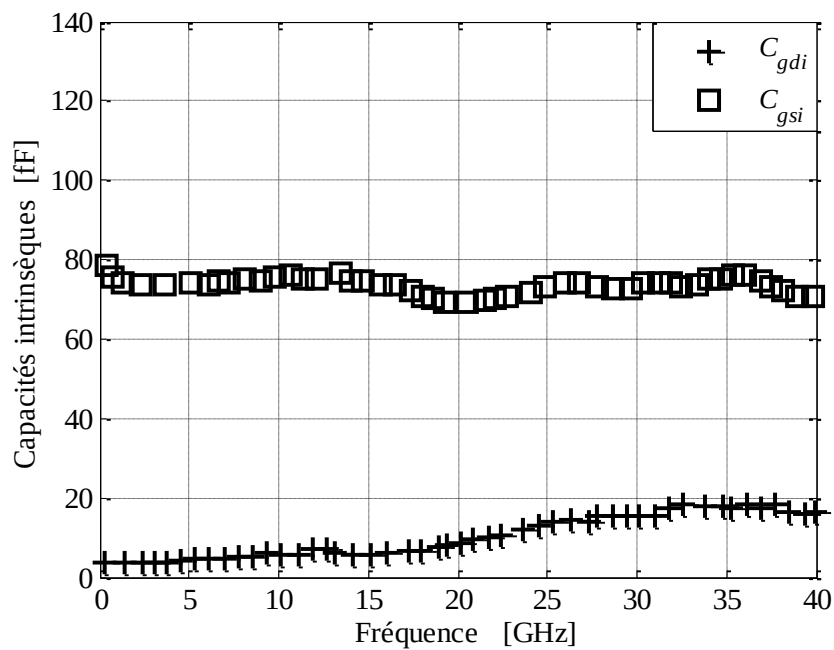


Figure 5. 4. Représentation des capacités intrinsèques extraites en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120$ μ m

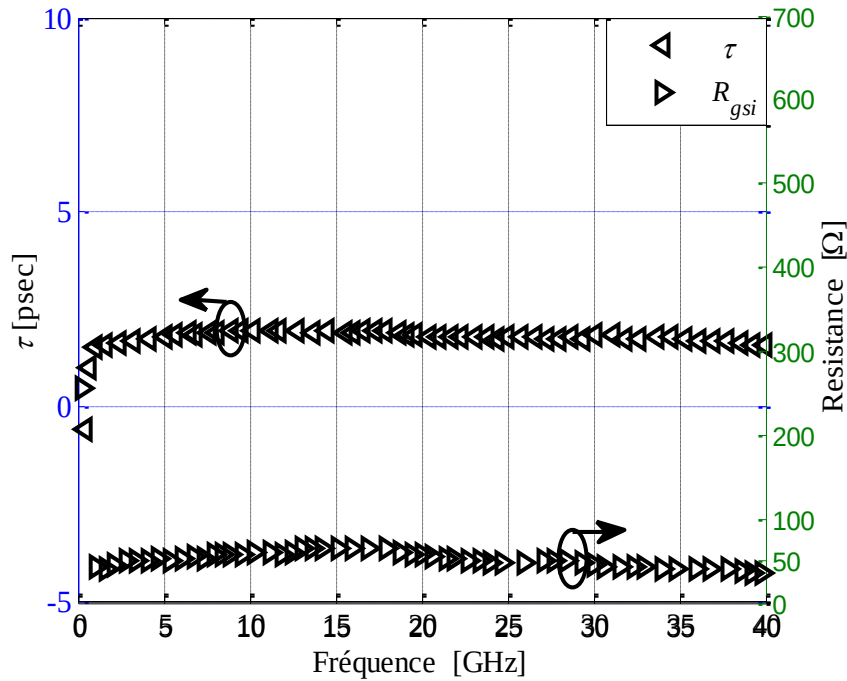


Figure 5. 5. Résistance R_{gsi} et temps de retard τ extraits en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120$ μ m

Les paramètres intrinsèques sont tracés en fonction de la fréquence dans les figures 5.3-5.5. On remarque que ces paramètres varient peu en fonction de la fréquence c'est-à-dire que ces éléments sont indépendants de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures.

5. 2.1.2. Comparaison entre simulations et mesures

La comparaison entre simulations et mesures permet de vérifier la qualité de la méthode d'extraction et la validité du schéma équivalent petit signal. La figure 5.6 montre qu'un très bon accord a été obtenu en comparant les simulations et les mesures des paramètres S_{ij} du transistor MOS PD-SOI 130 nm dans la gamme de fréquences de 0.04 à 40 GHz, et ce, pour différents points de polarisation en saturation.

5.2.2. Schéma équivalent petit signal du transistor UTBB FD-SOI

Les équations décrivant les éléments de la partie extrinsèque et intrinsèque du circuit équivalent petit signal du transistor UTBB FD-SOI (illustré à la figure 4.1 du chapitre 4) sont définies par les équations (5-1) à (5-5).

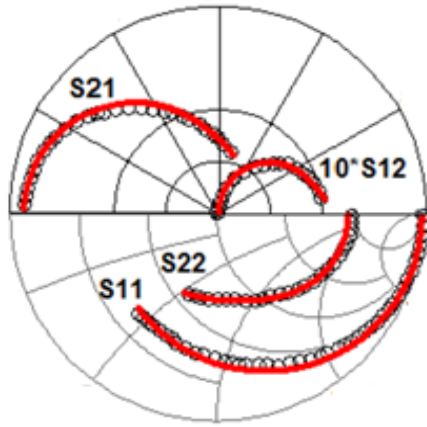
$$Z_{\sigma} + Y_{\pi}^{-1} = Z_{\sigma\pi} \quad (5-1)$$

$$Y_{\pi} = Y_{ext} + Y_{int} \quad (5-2)$$

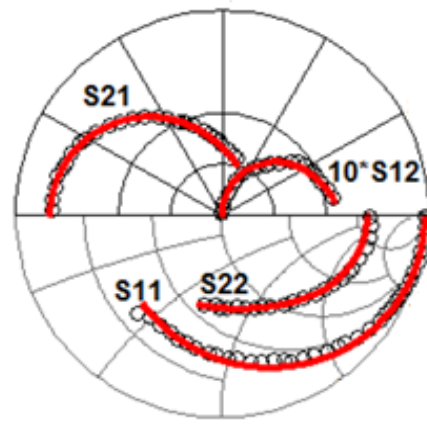
$$Z_{\sigma} = \begin{bmatrix} (R_{ge} + R_{se}) & R_{se} \\ R_{se} & (R_{de} + R_{se}) \end{bmatrix} \quad (5-3)$$

$$Y_{ext} = \begin{bmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dse} + C_{gde}) \end{bmatrix} \quad (5-4)$$

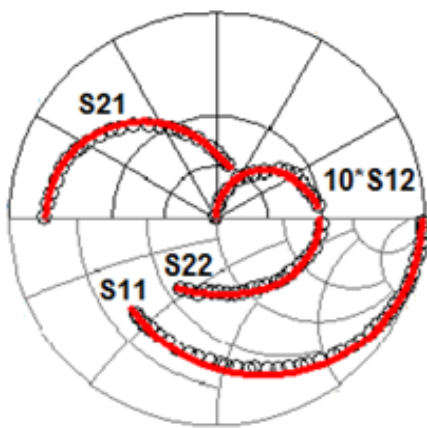
$$Y_{int} = \begin{bmatrix} j\omega \left[\frac{C_{gsi}}{1 + j\omega R_{gsi} C_{gsi}} + C_{gdi} \right] & -j\omega C_{gdi} \\ \frac{g_{mi} e^{-j\omega\tau}}{1 + j\omega R_{gsi} C_{gsi}} - j\omega C_{gdi} & g_{di} + j\omega(C_{dsi} + C_{gdi}) \end{bmatrix} \quad (5-5)$$



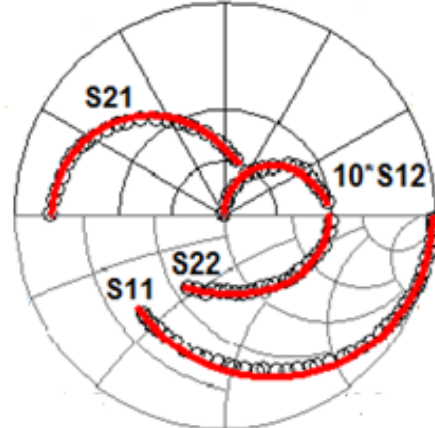
(a)



(b)



(c)



(d)

Figure 5. 6. Paramètres-S mesurés (cercle) et simulés (ligne) du transistor MOS PD SOI avec $L_g = 130$ nm et $W = 120 \mu\text{m}$ à $V_{ds} = 1.2$ V. (a) $V_{gs} = 0.6$ V, (b) $V_{gs} = 0.8$ V, (c) $V_{gs} = 1$ V, (d) $V_{gs} = 1.2$ V

L'écart entre les mesures et simulation basé sur les paramètres extraits du transistor MOS PD-SOI 130 nm à $V_{gs} = 1$ V et $V_{ds} = 1.2$ V est représenté par l'erreur relative, d'après la figure 5.7 cette erreur ne dépasse pas 10% sur une large bande de fréquence.

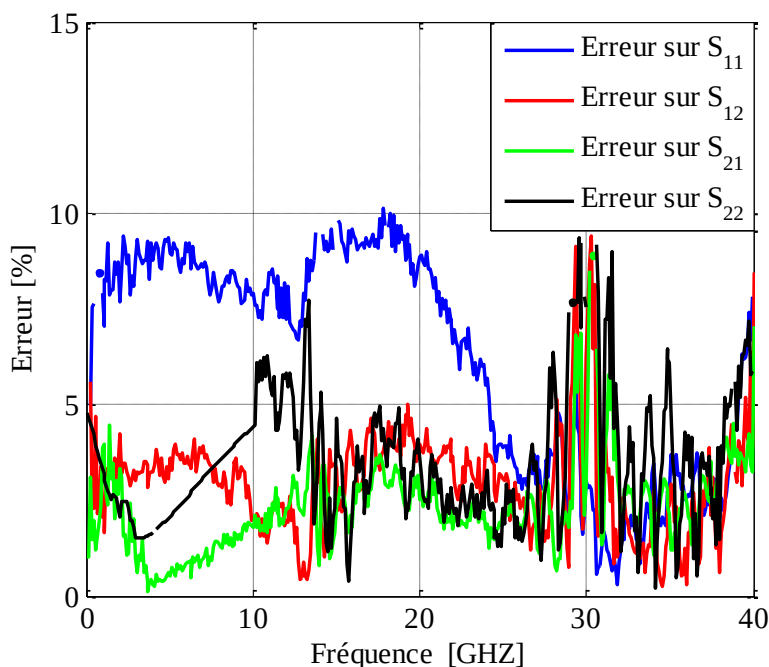


Figure 5. 7 . Erreur relative entre mesure et simulation des paramètres-S du transistor MOS PD-SOI 130 nm à $V_{ds} = 1.2$ V et $V_{gs} = 1$ V

a. Extraction des résistances extrinsèques en saturation du UTBB FD-SOI

L'extraction de résistance de source R_{se} , de grille R_{ge} et de drain R_{de} en saturation du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μm a été effectué en utilisant la méthode décrite dans la section 4.3.1.a du chapitre 4. On procède de la même manière pour les différents points de polarisations.

Tableau 5. 2 Les résistances extrinsèques extraites pour UTBB FD-SOI avec une longueur de grille $L_g = 30$ nm en saturation

V_{ds} (V)	V_{gs} (V)	R_{ge} (Ω)	R_{se} (Ω)	R_{de} (Ω)
1.0	0.200	4.7	3.3	4.6
1.0	0.325	4.8	4.4	7.1
1.0	0.450	4.7	5.3	9.5
1.0	0.700	4.4	4.4	11.4
1.0	0.950	4.8	3.9	11.8
1.0	1.075	5.0	3.4	9.6
1.0	1.200	4.3	3.2	8.0

Les valeurs extraites sont résumées dans le tableau 5.2. On peut noter que R_{ge} est pratiquement constante pour toutes les conditions de polarisation et que la valeur moyenne est autour 4.67 Ω .

b. Extraction de la résistance de grille de UTBB FD-SOI à $V_{ds} = 0$ V et $V_{gs} = 0$ V

La résistance de grille R_{ge} peut également être extraite avec précision en utilisant la méthode de Lovelace [78]. Le transistor est polarisé en état OFF, cela signifie que $V_{gs} = V_{ds} = 0$ V et R_{ge} est extraite à partir de $[Re(Z_{\sigma\pi11}(\omega)) - Re(Z_{\sigma\pi12}(\omega))]$ en fonction de ω pour des fréquences très élevées, supérieures à 30 GHz. Le résultat obtenu est représenté à la figure 5.8. La valeur de R_{ge} est d'environ 4.8 Ω , ce qui est très proche de la valeur présentée dans le tableau 5.2. Cette valeur est utilisée pour déterminer les résistances de source et de drain à $V_{ds} = 0$ V et $V_{gs} = 0$ V. On peut conclure que la valeur de R_{ge} est totalement indépendante des conditions de polarisation statique.

c. Extraction des résistances de source et de drain à $V_{ds} = 0$ V et $V_{gs} = 0$ V

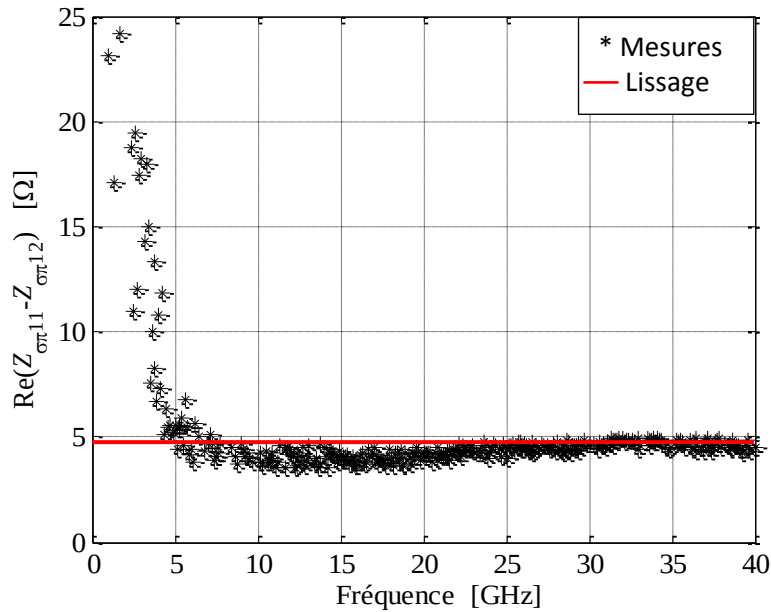


Figure 5. 8. Représentation de la résistance de grille en fonction de la fréquence du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 0$ V et $V_{gs} = 0$ V

Pour la détermination de la résistance de source R_{se0} et la résistance de drain R_{de0} à des conditions de polarisation nulle, on peut appliquer le problème de régression linéaire. Les paires de données $[Re(Z_{\sigma\pi11}(\omega)), Re(Z_{\sigma\pi21}(\omega))]$ et $[Re(Z_{\sigma\pi12}(\omega)), Re(Z_{\sigma\pi22}(\omega))]$ sont utilisées

pour déterminer respectivement R_{se0} et R_{de0} . Les valeurs obtenues sont $R_{se0} = 1 \Omega$ et $R_{de0} = 3 \Omega$ (Figure 5.9).

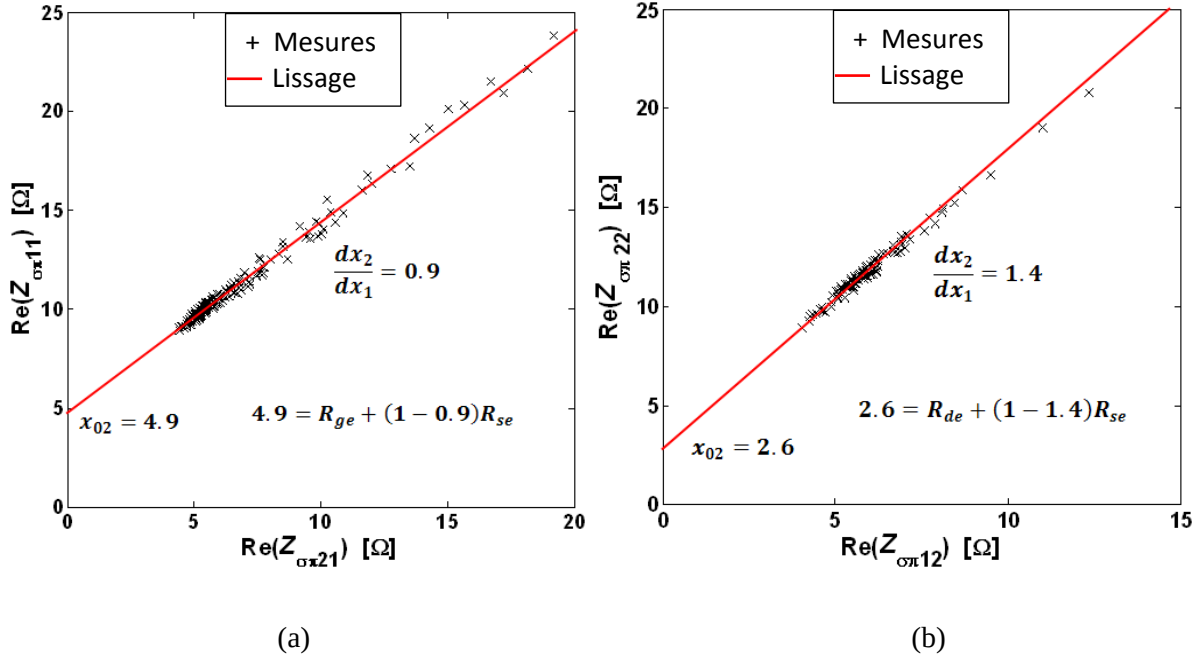


Figure 5. 9. Représentation paramétrique des résistances extrinsèques dans la gamme de fréquences 0.04 - 40 GHz pour un UTBB FD-SOI avec $L_g = 30 \text{ nm}$ et $W = 120 \mu\text{m}$ à $V_{ds} = 0 \text{ V}$ et $V_{gs} = 0 \text{ V}$, (a) extraction de la résistance R_{se} , (b) extraction de la résistance R_{de}

d. Extraction des capacités extrinsèques du transistor UTBB FD-SOI

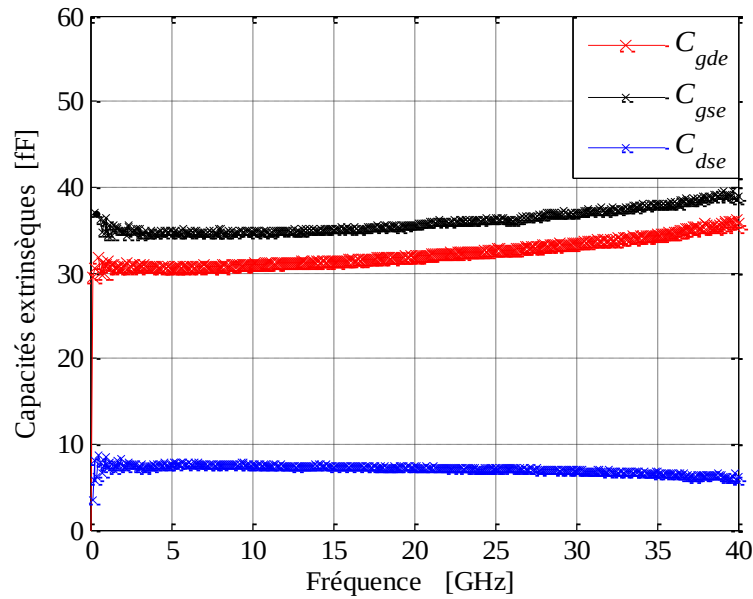


Figure 5. 10. Extraction des capacités extrinsèques en fonction de la fréquence du transistor UTBB FD-SOI avec $L_g = 30 \text{ nm}$ et $W = 120 \mu\text{m}$ à $V_{ds} = 0 \text{ V}$ et $V_{gs} = 0 \text{ V}$

Les capacités extrinsèques sont déduites directement à partir de la partie imaginaire des paramètres- Y à $V_{ds} = 0$ V et $V_{gs} = 0$ V (section 4.1.2.1.b du chapitre 4).

La figure 5.10 représente les capacités extrinsèques en fonction de la fréquence, tracées à partir des mesures. Ces valeurs sont pratiquement constantes pour une large gamme de fréquences. Les valeurs obtenues sont $C_{gse} = 35$ fF, $C_{gde} = 30$ fF et $C_{dse} = 7$ fF.

e. Extraction des paramètres intrinsèques du transistor UTBB FD-SOI

Après l'épluchage des résistances et capacités extrinsèques, les paramètres intrinsèques sont formulés à partir de la matrice intrinsèque Y_{int} décrite dans l'équation (5-5). Basé sur Y_{int} , les valeurs des paramètres intrinsèques sont données par les équations (4-10)-(4-16). Le tableau 5.3 regroupe les valeurs des éléments intrinsèques du transistor UTBB FD-SOI en saturation.

5.2.2.1. Résultats pour le transistor UTBB FD-SOI à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V

Les figure 5.11 et 5.12 montrent la comparaison entre les simulations et les mesures des paramètres- S et Y , respectivement et ce, en mode saturation du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V. Nous voyons qu'un excellent accord a été obtenu entre simulations et mesures sur une large plage de fréquences allant de 0.04 jusqu'à 40 GHz. Ce résultat démontre la fiabilité de la méthode d'extraction proposée et la validité du circuit équivalent à petit signal proposé.

Tableau 5. 3 Paramètres extrinsèques et intrinsèques extraits pour le transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m en saturation

Paramètres petit signal	Paramètres extrinsèques	Paramètres intrinsèques
Méthode proposée	$V_{ds} = 0$ V et $V_{gs} = 0$ V	$V_{ds} = 1$ V et $V_{gs} = 0.95$ V
	$R_{se0} = 1 \Omega$ $R_{de0} = 3 \Omega$ $R_{ge} = 4.7 \Omega$ $C_{gde} = 7$ fF $C_{gse} = 35$ fF $C_{dse} = 30$ fF	$R_{se} = 5 \Omega$ $R_{de} = 11.8 \Omega$ $C_{gdi} = 4$ fF $C_{gsi} = 45$ fF $C_{dsi} = 35$ fF $g_{mi} = 180$ mS $g_{di} = 22$ mS $\tau = 0.5$ ps

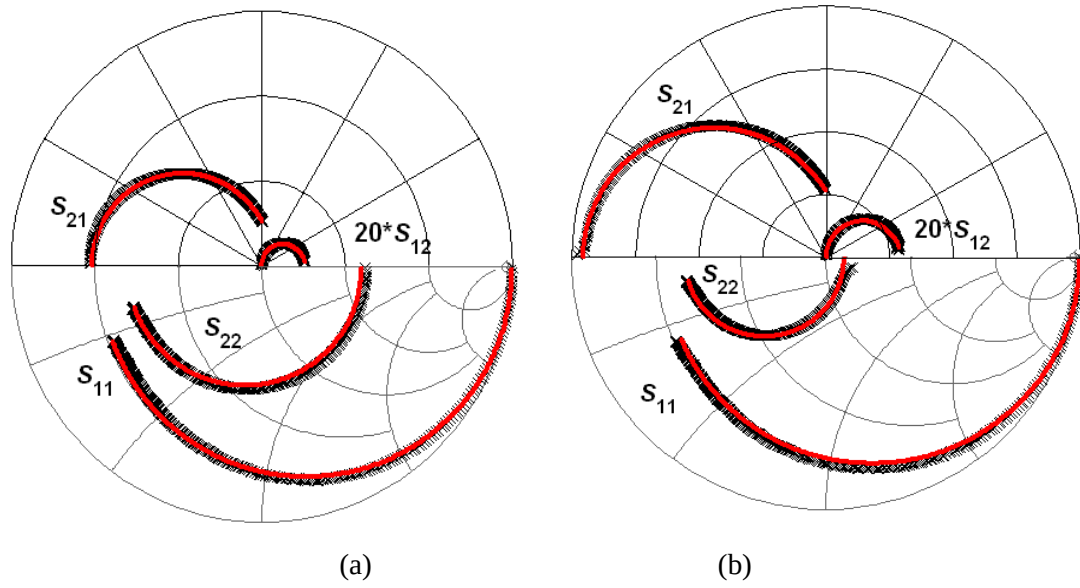


Figure 5. 11. Paramètres-S mesurés (x) et simulés (ligne) du transistor UTBB FD-SOI avec $L_g = 30$ nm à $V_{ds} = 1$ V. (a) $V_{gs} = 0.7$ V, (b) $V_{gs} = 0.95$ V

La figure 5.12 montre l'erreur relative sur les paramètres admittances- Y du transistor UTBB FD-SOI à $V_{ds} = 1$ V et V_{gs} . D'après les résultats l'écart ne dépasse pas les 10%.

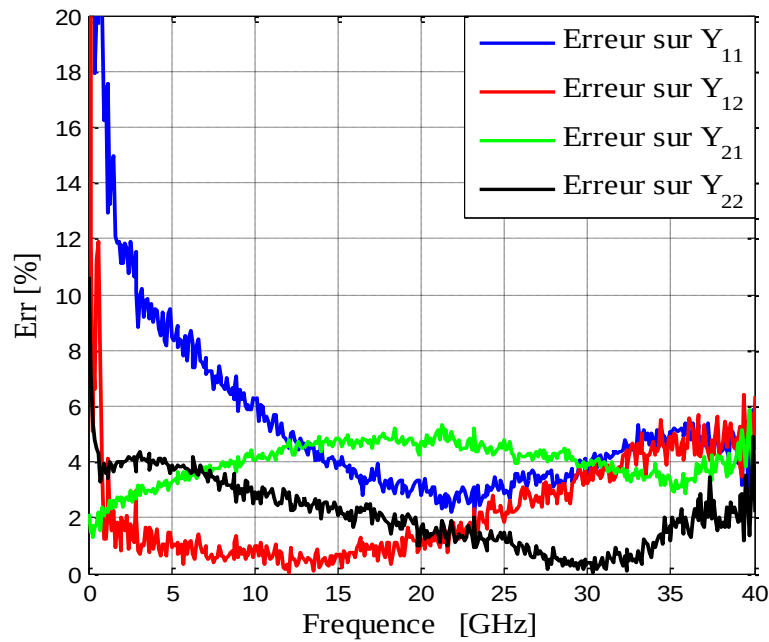


Figure 5. 12. Erreur relative sur les paramètres admittances- Y du transistor UTBB FD-SOI à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V

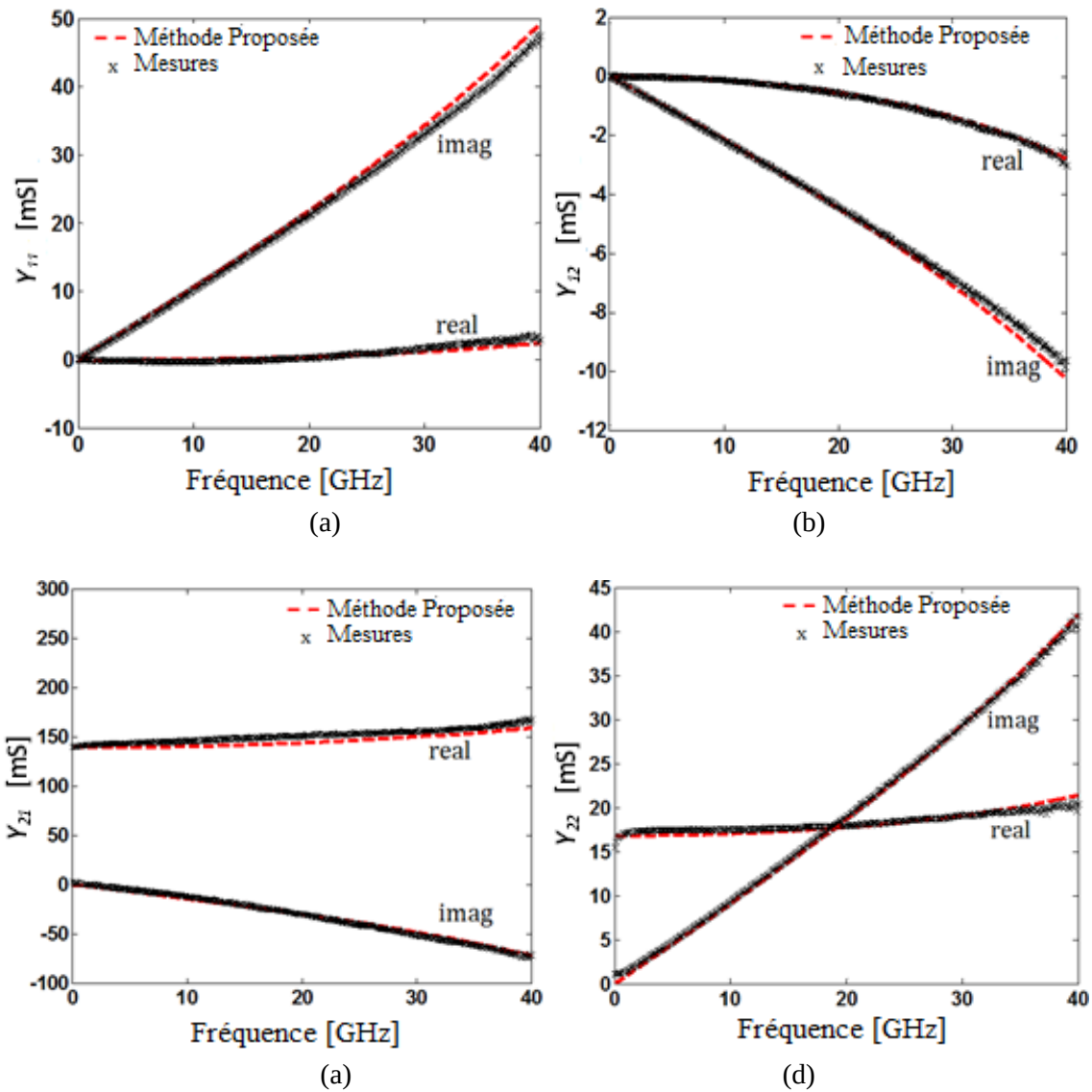


Figure 5. 13. Paramètres-Y mesurés (x) et simulés (--) du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V (a) Y_{11} , (b) Y_{12} , (c) Y_{21} , (d) Y_{22}

5.2.3. Résultats du transistor UTBB FD-SOI en mode linéaire

Dans le but de généraliser la méthode d'extraction proposée sur différents modes de fonctionnement et sur différents types de transistors, nous avons fait le choix de l'extraction du schéma équivalent petit signal du transistor UTBB FD-SOI de CEA LETI en mode linéaire c'est-à-dire à $V_{ds} = 0.5$ V et $V_{gs} = 0.98$ V et ce, en considérant la gamme de fréquence de 0.04 à 26.5 GHz.

Le travail est structuré comme suit : d'abord on fait l'extraction de la résistance de grille à froid ($V_{ds} = 0$ V, $V_{gs} = 0$ V) puisque le transistor est supposé symétrique. Une fois R_{ge} déterminée, on peut déduire les valeurs des résistances de source et de drain. Ensuite on passe à l'extraction des capacités extrinsèques puis des paramètres intrinsèques.

Le Tableau 5.4 nous donne les valeurs des éléments extrinsèques et intrinsèques du transistor considéré.

Tableau 5. 4 Paramètres extrinsèques et intrinsèques extraits pour le UTBB FD-SOI avec $L_g = 30$ nm en régime linéaire

Paramètres petit signal	Paramètres extrinsèques	Paramètres extrinsèques
	$V_{ds} = 0$ V et $V_{gs} = 0$ V	$V_{ds} = 0.5$ V et $V_{gs} = 0.98$ V
Méthode proposée	$R_{se0} = 2 \Omega$ $R_{de0} = 8 \Omega$ $R_{ge} = 27 \Omega$ $C_{gde} = 12$ fF $C_{gse} = 13$ fF $C_{dse} = 15$ fF	$C_{gdi} = 7.8$ fF $C_{gsi} = 10.5$ fF $C_{dsi} = 0$ fF $g_{mi} = 27$ mS $g_{di} = 24$ mS $\tau = 2.8$ ps

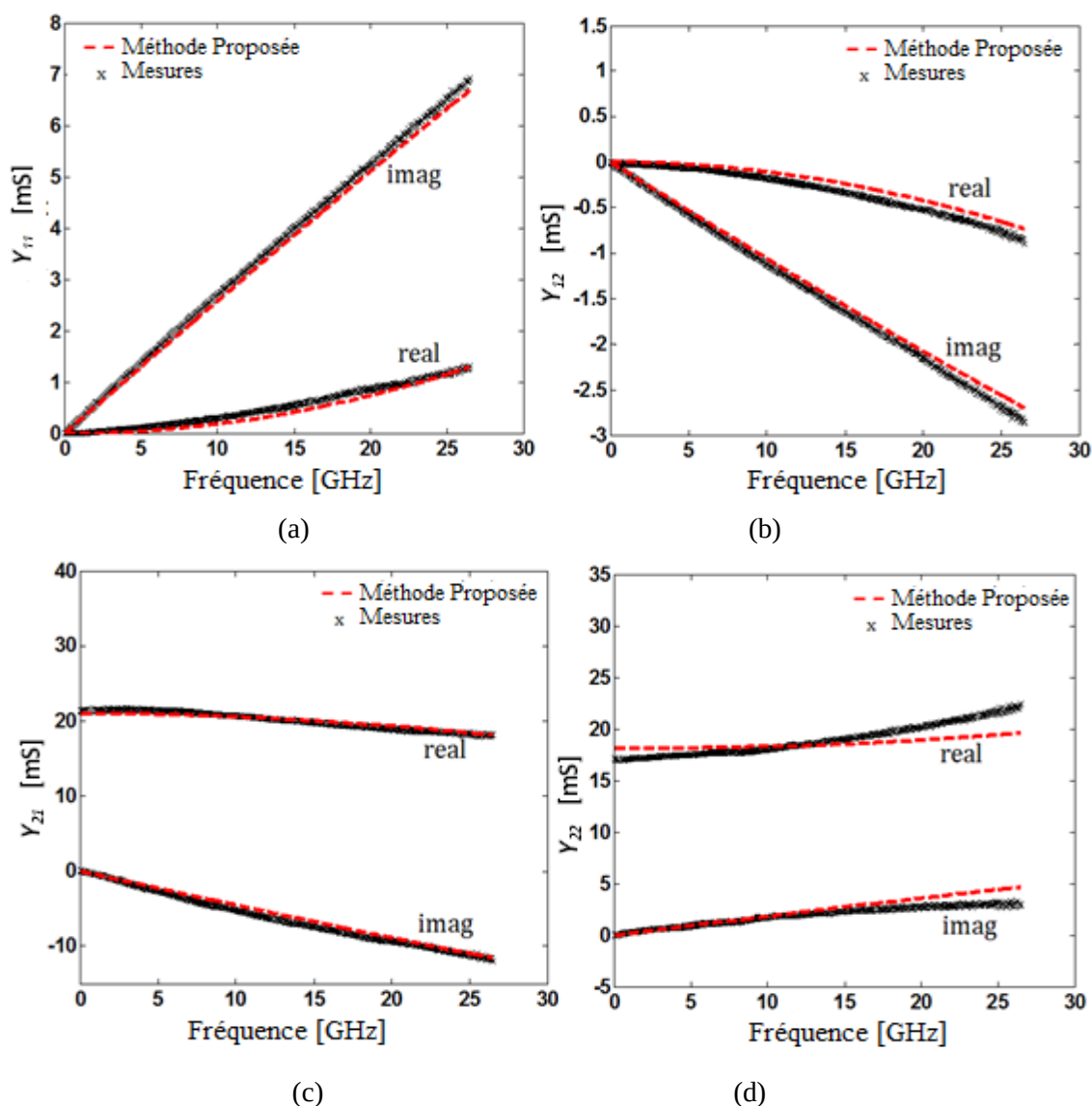


Figure 5. 14. . Paramètres Y mesurés (x) et simulés (--) du transistor UTBB FD-SOI avec $L_g = 30$ nm à $V_{ds} = 0.5$ V et $V_{gs} = 0.98$ V, (a) Y_{11} , (b) Y_{12} , (c) Y_{21} , (d) Y_{22}

La figure 5.14 montre une bonne convergence entre les paramètres-Y simulés et mesurés du transistor en mode linéaire à $V_{ds} = 0.5$ V et $V_{gs} = 0.98$ V. Le bon accord obtenu prouve l'efficacité de la méthode d'extraction proposée.

5.2.4. Modèle petit signal du transistor FinFET

L'objectif de cette partie est d'appliquer la méthode d'extraction proposée sur le transistor FinFET. Il s'agit dans ce cas, de l'extraction des paramètres extrinsèques. Le circuit équivalent petit signal du transistor FinFET est donné par la figure 4.4 du chapitre 4.

a. Extraction des résistances extrinsèques du transistor FinFET

Comme le transistor FinFET est symétrique pour $V_{ds} = 0$ V et $V_{gs} = 0$ V, l'application du problème de régression linéaire est impossible, pour cela on a fait appel à la méthode de Lovelace pour déterminer la résistance de grille [78]. La figure 5.15 illustre la courbe de la résistance R_{ge} en fonction de la fréquence. Il est noté que la valeur de R_{ge} est pratiquement constante pour une large gamme de fréquences. La valeur moyenne obtenue est $R_{ge} = 12$ Ω .

Une fois la résistance de grille déterminée, les paires de données $[Re(Z_{\sigma\pi 21}(\omega)), Re(Z_{\sigma\pi 11}(\omega))]$ et $[Re(Z_{\sigma\pi 12}(\omega)), Re(Z_{\sigma\pi 22}(\omega))]$ sont utilisées pour déterminer R_{se} et R_{de} à $V_{ds} = 0$ V et $V_{gs} = 0$ V.

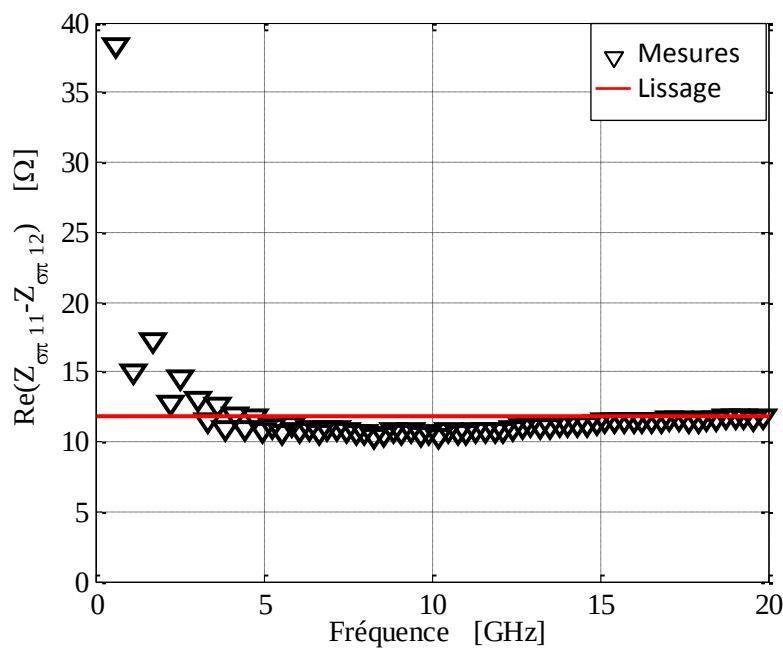


Figure 5. 15. Représentation de la résistance de grille du transistor FinFET N0p13 en fonction de la fréquence à $V_{ds} = 0$ V et $V_{gs} = 0$ V

b. Extraction des capacités extrinsèques

Les capacités extrinsèques sont déterminées à partir de la partie imaginaire des paramètres- Y en basses fréquences (section 4.4.1.b du chapitre 4). La figure 5.16 donne la courbe des capacités extrinsèques en fonction de la fréquence. On constate que les valeurs des capacités sont quasi-constantes. Les valeurs obtenues sont données au Tableau 5.5.

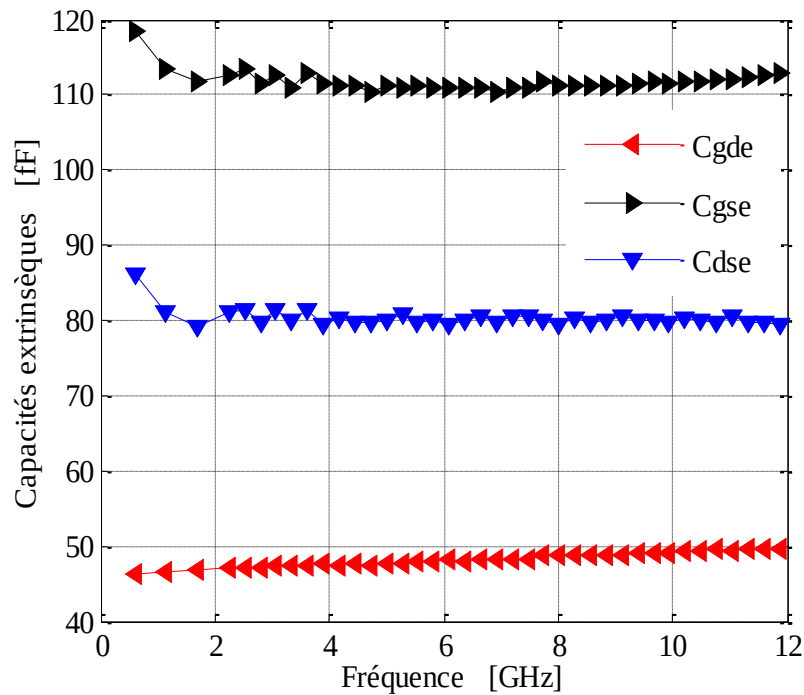


Figure 5. 16. Extraction des capacités extrinsèques du transistor en fonction de la fréquence FinFET N0p13 à $V_{ds} = 0$ V et $V_{gs} = 0$ V

5.2.4.1. Résultats

Les figures 5.17-5.18 montrent un bon accord entre mesures et simulations basées sur les paramètres extraits et ce, jusqu'à 20 GHz.

Tableau 5. 5 Paramètres extrinsèques du transistor FinFET (N0p13) à $V_{gs} = 0$ V et $V_{ds} = 0$ V

Résistance extrinsèques	Capacité extrinsèques
$R_{se} = 2 \Omega$	$C_{gde} = 49$ fF
$R_{ge} = 12 \Omega$	$C_{gse} = 112$ fF
$R_{de} = 6 \Omega$	$C_{dse} = 80$ fF

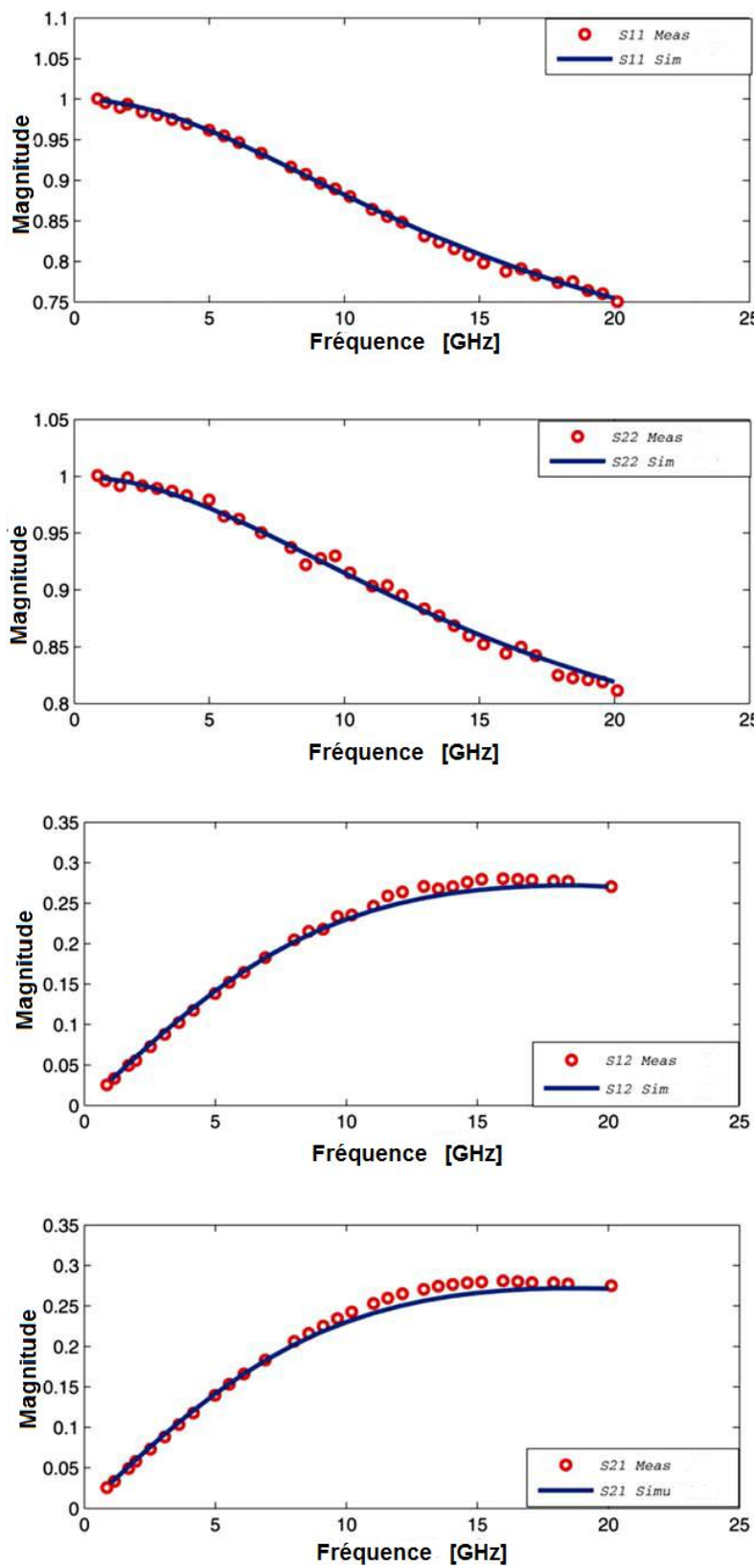


Figure 5. 17. Magnitude des paramètres-S : Comparaison entre mesures (o) simulations (ligne) à $V_{ds} = 0$ V et $V_{gs} = 0$ V.

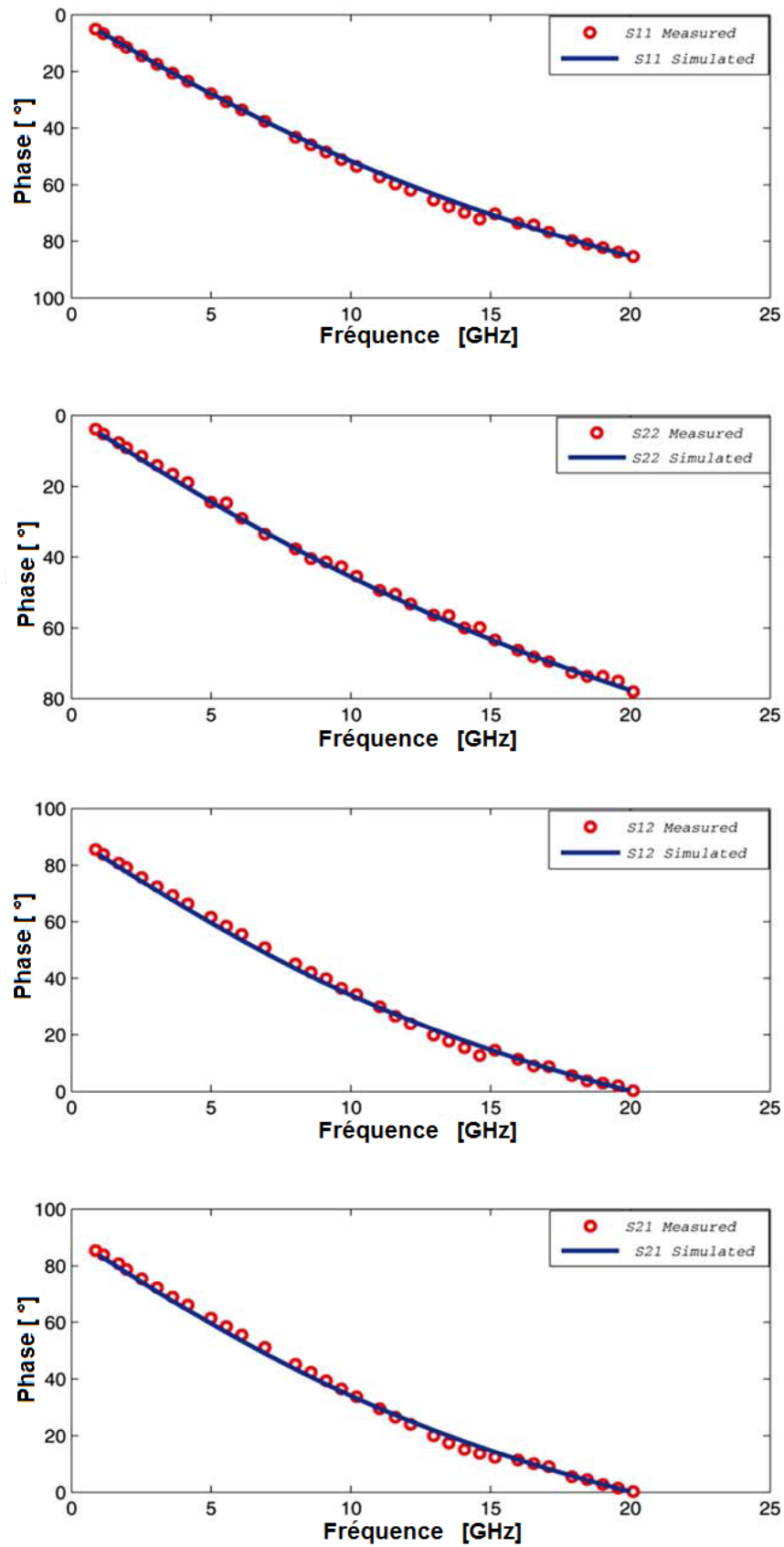


Figure 5. 18. Phase des paramètres S : Comparaison entre mesures (o) et simulations (ligne)
à $V_{ds} = 0$ V et $V_{gs} = 0$ V

L'écart entre les mesures et simulation basé sur les paramètres extraits du transistor FinFET à $V_{gs} = 0$ V et $V_{ds} = 0$ V est représenté par l'erreur relative montré sur la figure 5.19

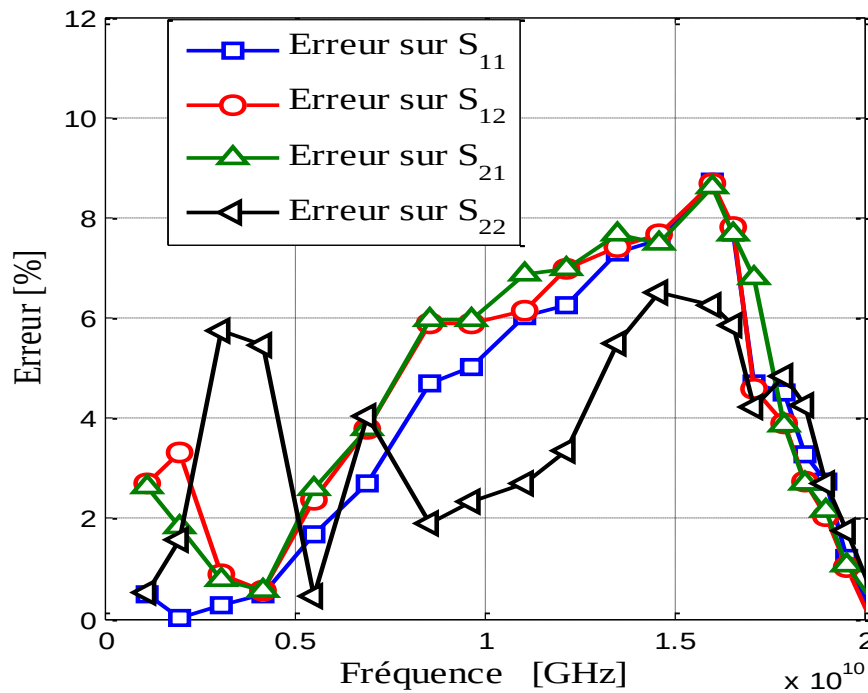


Figure 5. 19. Erreur relative sur les paramètres-S du transistor FinFET à $V_{ds} = 0$ V et $V_{gs} = 0$ V

5.2.5. Extraction des éléments du schéma équivalent petit signal du transistor HEMT AlGaIn/GaN

La technique de modélisation en petit signal utilisée dans ce cas passe généralement par trois étapes principales. Premièrement, un modèle sous forme d'un circuit équivalent électrique du transistor HEMT AlGaIn/GaN est proposé. Ensuite, on passe à l'extraction des paramètres extrinsèques et intrinsèques de ce circuit équivalent. Enfin, la validation du modèle est effectuée en comparant simulations et mesures.

5.2.5.1. Schéma équivalent petit signal du transistor GaN HEMT

La procédure d'extraction des éléments du schéma équivalent petit signal du transistor HEMT AlGaIn/GaN a été expliquée en détail dans le paragraphe 4.5.1 du chapitre 4. Le modèle dans ce cas est un peu plus compliqué par rapport au modèle petit signal du transistor à effet de champ conventionnel. La figure 4.6 donne le schéma équivalent petit signal qui reflète fidèlement la physique du composant.

a. Extraction des capacités extrinsèques

Les capacités extrinsèques sont déterminées à froid pincé ($V_{ds} = 0$ V et $V_{gs} < V_{th}$) et en basses fréquences (< 5 GHz). Dans ce cas le schéma équivalent est réduit à celui de la figure 4.7, les inductances peuvent être négligées et les résistances n'influent pas sur la partie imaginaire des paramètres-Y. Les capacités de branches (C_{gso} , C_{gdo} , C_{dso}) sont déterminées à partir de la partie imaginaire des paramètres-Y à $V_{ds} = 0$ V et $V_{gs} < V_{th}$. La détermination des autres capacités est effectuée à partir de l'organigramme décrit dans le paragraphe 4.5.2.a du chapitre 4.

b. Extraction des résistances et inductances extrinsèques

Les méthodes utilisées pour extraire les inductances et les résistances sont souvent menées à des conditions de polarisation spécifiques et à des fréquences supérieures à 5 GHz avec une polarisation $V_{ds} = 0$ V et $V_{gs} < V_{th}$. L'avantage principal de travailler dans ces conditions est la simplification du modèle du circuit en une forme symétrique.

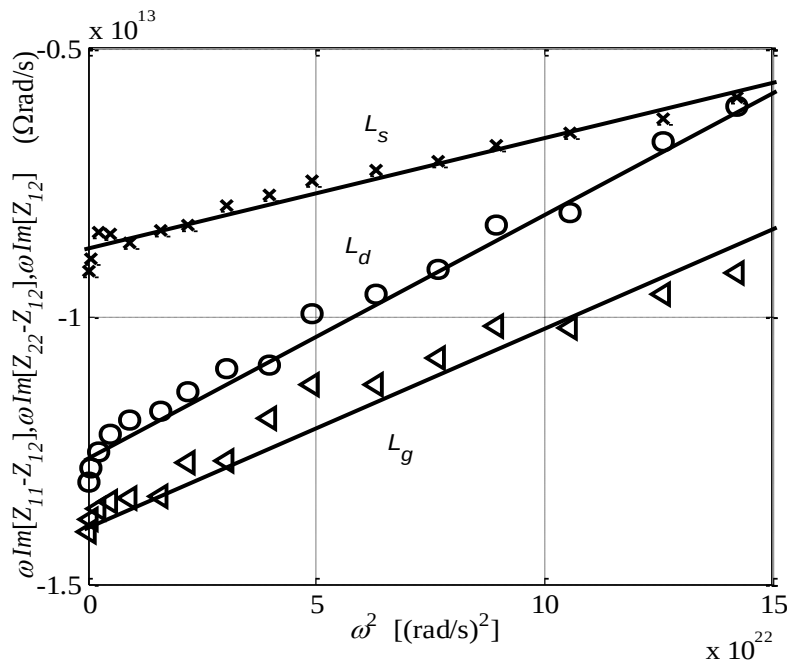


Figure 5. 20. Extraction des inductances extrinsèques à partir des paramètres-Z à froid pincé du transistor HEMT AlGaIn/GaN

Dans de telles conditions de polarisation, le reste du dispositif est modélisé avec le circuit équivalent représenté sur la figure 4.9 et qui est transformé en réseau T (figure 4.10). D'après les équations (4-30) à (4-32), R_{ch} représente l'impédance intrinsèque résiduelle traitée toujours comme une résistance du canal. Dans notre cas cette résistance est négligée, ce qui rend la

détermination des résistances parasites R_s , R_g et R_d à partir de la partie réelle des paramètres impédance $Re(Z_{ij})$ beaucoup plus facile.

La figure 5.20 montre la courbe des inductances L_g , L_d et L_s extraites à partir de la pente de courbe $\omega Im(Z_{ij})$ en fonction de ω^2 . Le tableau 5.6 résume les valeurs des paramètres extrinsèques extraits du circuit équivalent du transistor HEMT AlGaIn/GaN.

c. Extraction des paramètres intrinsèques

La formulation des paramètres intrinsèques du transistor HEMT AlGaIn/GaN proviennent des branches d'admittances de la figure 4.11.

• Extraction de la capacité C_{gsi}

La figure 5.21 représente la courbe $\omega * G$ en fonction de ω^2 à partir de laquelle la capacité C_{gsi} est calculée depuis la pente et ce, selon l'équation (4-37).

• Extraction de la capacité C_{gdi}

De même, d'après l'équation (4-39), la pente de la figure 5.22 permet de déterminer la capacité C_{gdi} .

Tableau 5. 6 . Paramètres extrinsèques du transistor HEMT AlGaIn/GaN à froid pincé
($V_{ds} = 0$ V et $V_{gs} < V_{th}$)

Paramètres petit signal	Paramètres extrinsèques $V_{ds} = 0$ V et $V_{gs} < V_{th}$
Méthode proposée	$R_s = 6.5 \Omega$ $C_{dp} = 7$ fF $L_s = 5.25$ pH
	$R_d = 9 \Omega$ $C_{gp} = 7$ fF $L_g = 40$ pH
	$R_g = 5.5 \Omega$ $C_{gde} = 1$ fF $L_d = 45$ pH
	$C_{gse} = 5$ fF
	$C_{dse} = 20$ fF

• Extraction des résistances R_i et R_{gd}

A partir des équations (4.40) et (4.41), les résistances R_i et R_{gd} sont déterminées, respectivement, à partir de la pente de la courbe de la fonction $[\omega * Re(Y_{gs})/Im(Y_{gs})]$ et de celle

de $[\omega * \text{Re}(Y_{gd}) / \text{Im}(Y_{gd})]$ en fonction de ω^2 . Ces deux courbes sont données aux figures 5.23 et 5.24 respectivement.

- **Extraction de la capacité C_{dsi}**

En procédant de la même manière, la capacité C_{dsi} peut être déduite à partir de l'équation (4-47) et de la pente de la courbe de $\text{Im}[Y_{ds}]$ en fonction de ω tel qu'illustrée à la figure 5.25.

- **Extraction de la transconductance g_m et du temps de retard τ**

En se basant sur le paragraphe 4.5.3. La transconductance g_m est déterminée à partir de l'équation (4-45) et la valeur de τ à partir de l'équation (4-46).

- **Extraction des conductances**

Les valeurs des conductances G_{gsf} et G_{gdf} sont obtenues à partir des parties réelles des équations (4-43) et (4-44) et ce, en basses fréquences (< 100 MHz).

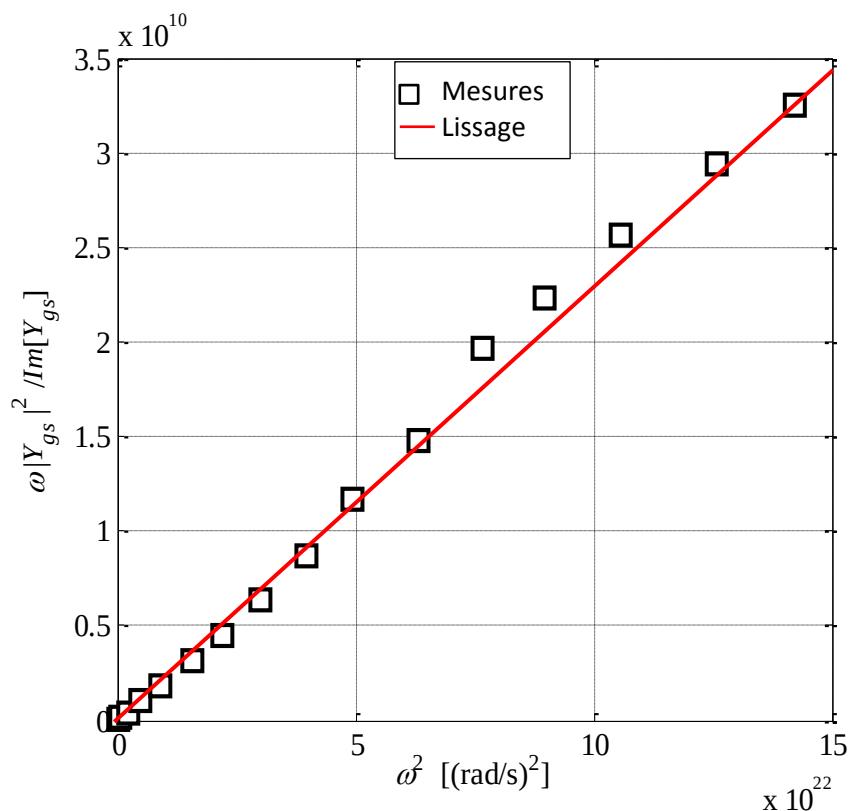


Figure 5. 21. Extraction de la capacité C_{gsi} du transistor HEMT AlGaIn/GaN

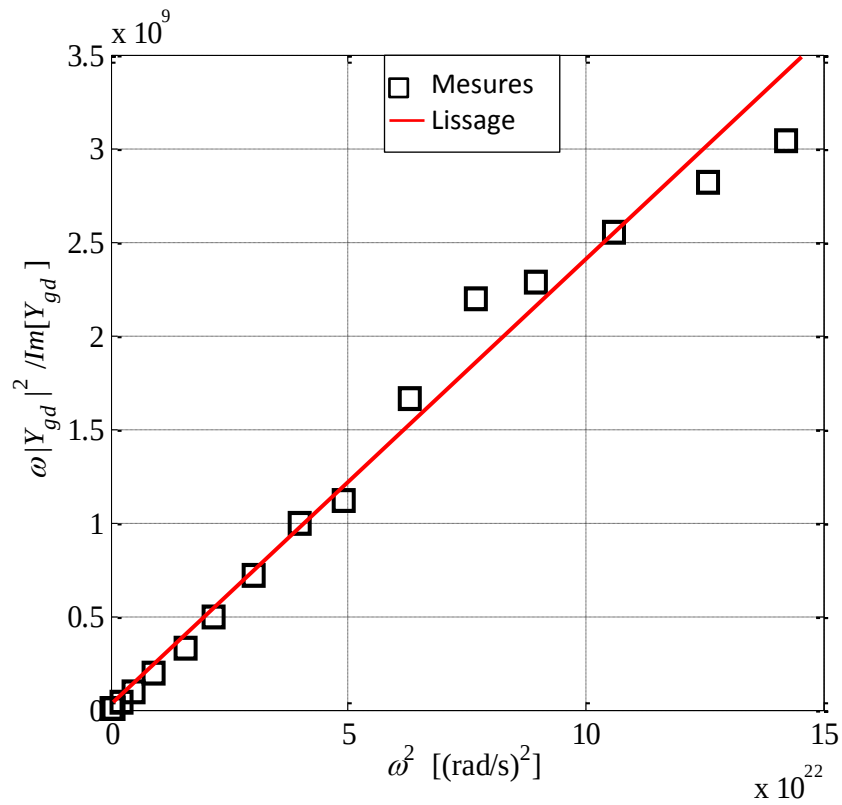


Figure 5. 22. Extraction de la capacité C_{gd} du transistor HEMT AlGaIn/GaN

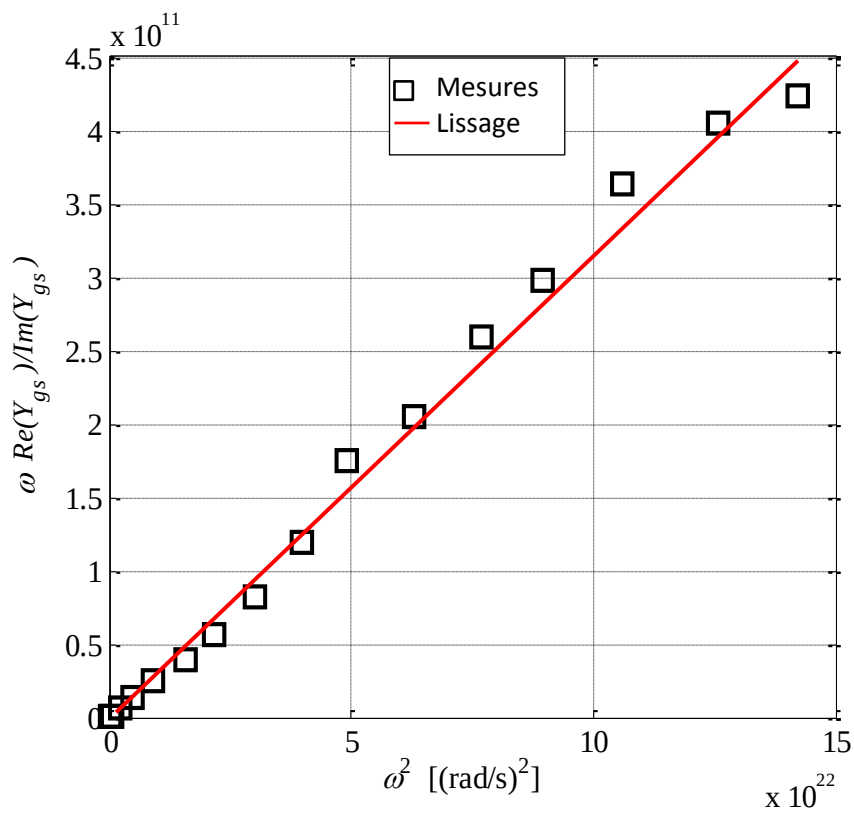


Figure 5. 23. Extraction de la résistance R_g du transistor HEMT AlGaIn/GaN

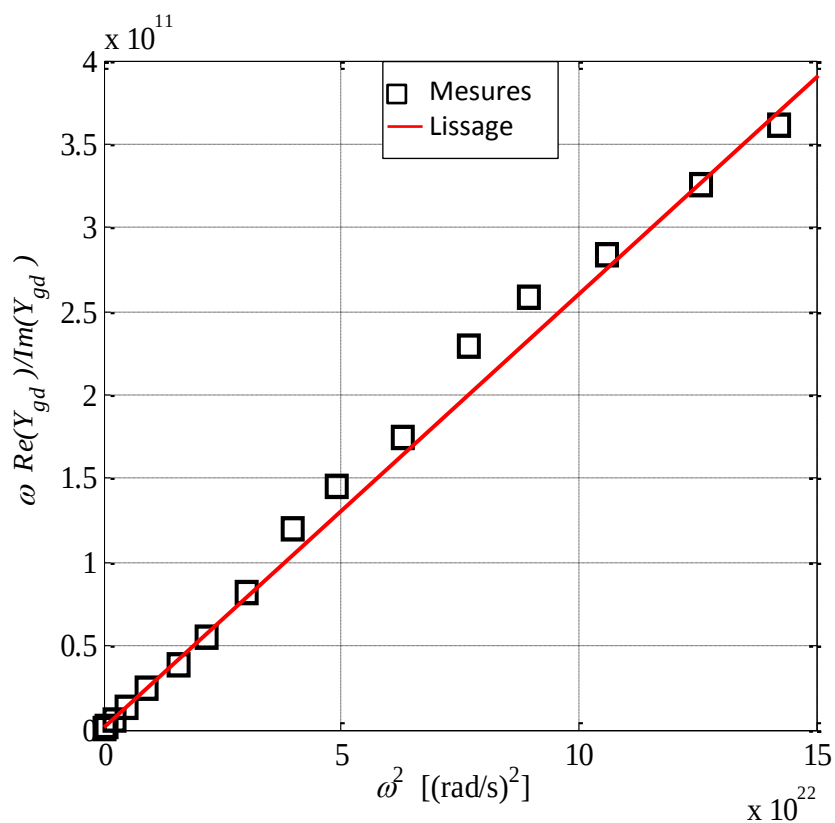


Figure 5. 24. Extraction de la résistance R_{gd} du transistor HEMT AlGaIn/GaN

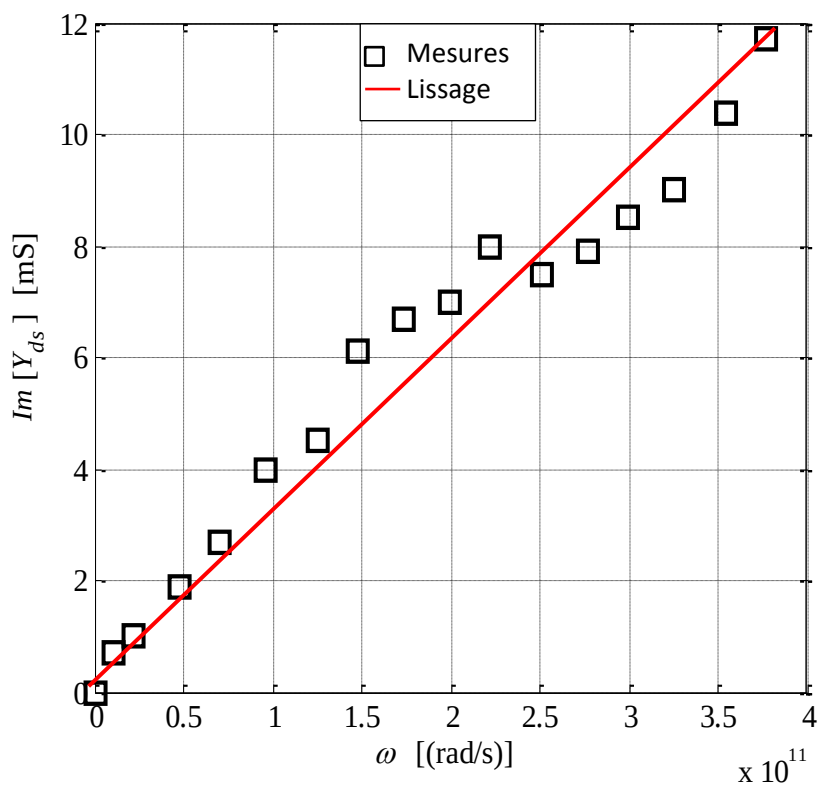


Figure 5. 25. Extraction de la capacité C_{gd} du transistor HEMT AlGaIn/GaN

5.2.5.2. Résultats de Simulation du transistor HEMT AlGaIn/GaN

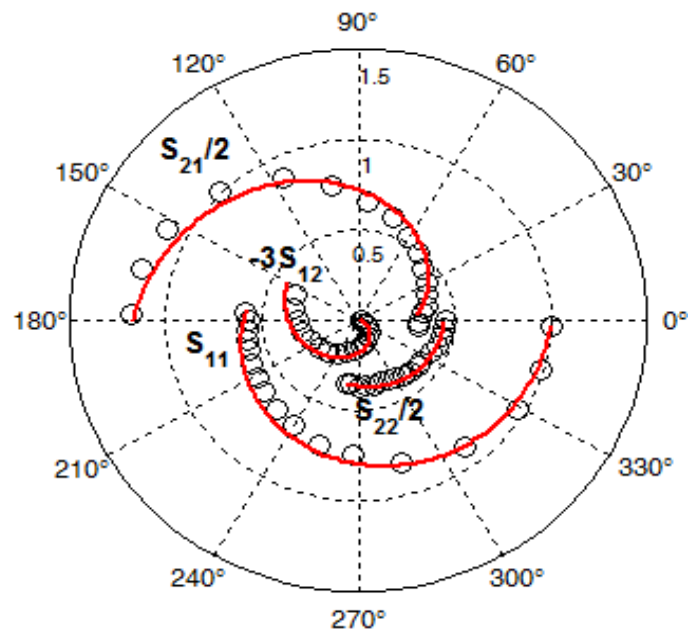


Figure 5. 26. Paramètres-S mesurés (o) et simulés (ligne) du transistor HEMT ALGaIn/GaN
Dans la gamme de fréquence 0.25-60 GHz à $V_{gs} = -1$ V et $V_{ds} = 10$ V

La méthode d'extraction proposée a été appliquée pour déterminer les paramètres du circuit équivalents d'un HEMT de AlGaIn/GaN. La figure 5.26 montre qu'un excellent accord a été obtenu entre mesures et simulations et ce, pour une large gamme de fréquence.

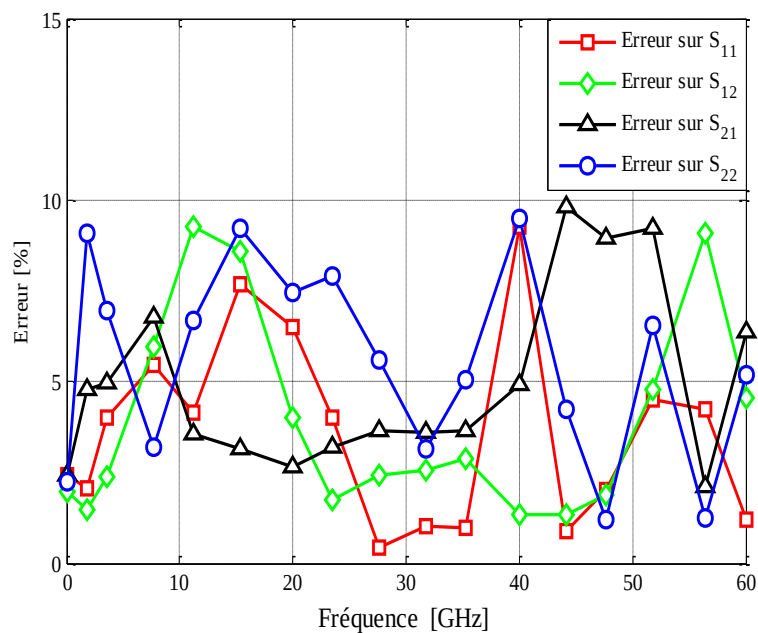


Figure 5. 27. Erreur relative sur les paramètres S du transistor HEMT ALGaIn/GaN à $V_{gs} = -1$ V et $V_{ds} = 10$ V

La figure 5.27 montre l'erreur relative entre mesures et simulations sur les paramètres-S du transistor à $V_{gs} = -1$ V et $V_{ds} = 10$ V.

5.3. Etude de sensibilité de la méthode proposée

Dans cette partie nous étudierons la sensibilité de la méthode d'extraction proposée. En ajoutant des planchers de bruit de l'analyseur vectoriel (VNA) sur les paramètres S simulés du transistor UTBB FD-SOI ($L_g = 30$ nm, $W = 120$ μ m), nous essayerons de voir l'impact du bruit sur l'extraction des éléments du schéma équivalent petit signal.

5.3.1. Paramètres-S simulés

Le tableau 5.7 illustre les valeurs des éléments extraits relatifs au schéma équivalent du transistor UTBB FD-SOI en utilisant la méthode proposée. L'extraction a été effectuée aux tensions $V_{ds} = 0$ V et $V_{gs} = 0$ V. Ensuite, nous avons simulé les paramètres-S du schéma équivalent en utilisant les valeurs susmentionnées (Tableau 5.7).

En outre un signal de bruit a été simulé par la fonction aléatoire illustrée dans l'équation (5-1) et ajouté aux paramètres-S simulés du schéma équivalent. Comme nous l'avons cité, le but est d'émuler le bruit de l'analyseur VNA en vue de voir l'impact du bruit sur la méthode proposée. Les valeurs typiques des planchers de bruit de VNA (Anritsu 37397C) sont données par le tableau 5.8.

$$N = (a + ib) \sqrt{\frac{P}{2}} \quad (5-6)$$

où N est le niveau de bruit, a et b des nombres aléatoires et P la puissance du niveau de bruit.

Tableau 5. 7 Eléments du schéma équivalent du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μ m à $V_{ds} = 0$ V et $V_{gs} = 0$ V

Résistances extrinsèques	Eléments intrinsèques
$R_{se} = 1 \Omega$	$g_m = 0.9 \mu S$
$R_{ge} = 4.8 \Omega$	$C_{gs} = 35$ fF
$R_{de} = 3 \Omega$	$g_d = 0.1 \mu S$
	$C_{gd} = 30$ fF
	$\tau = 0$ ps
	$C_{ds} = 7$ fF
	$R_{gsi} = 0 \Omega$

Tableau 5. 8 planchers de bruit du VNA (Anritsu 37397C) [82]

Fréquence (GHz)	plancher de bruit (dBm)
0.04	-77
2.0	-105
20	-97
40	-95

5.3.2. Extraction des paramètres extrinsèques avec et sans bruit

Afin d'évaluer l'immunité de la méthode proposée contre le bruit du VNA (Bruit blanc), nous avons fait l'extraction des paramètres extrinsèques du transistor UTBB FD-SOI utilisant les paramètres- S bruités à $V_{ds} = 0$ V et $V_{gs} = 0$ V.

La figure 5.28 montre la courbe de la résistance extraite avec et sans la présence du bruit. Ainsi, la présence du bruit provoque une grande dispersion, en particulier dans la gamme de fréquence 0-15 GHz. Ensuite, au-delà de 15 GHz les points de la simulation bruitée se reconcentrent sur la courbe de simulation sans bruit.

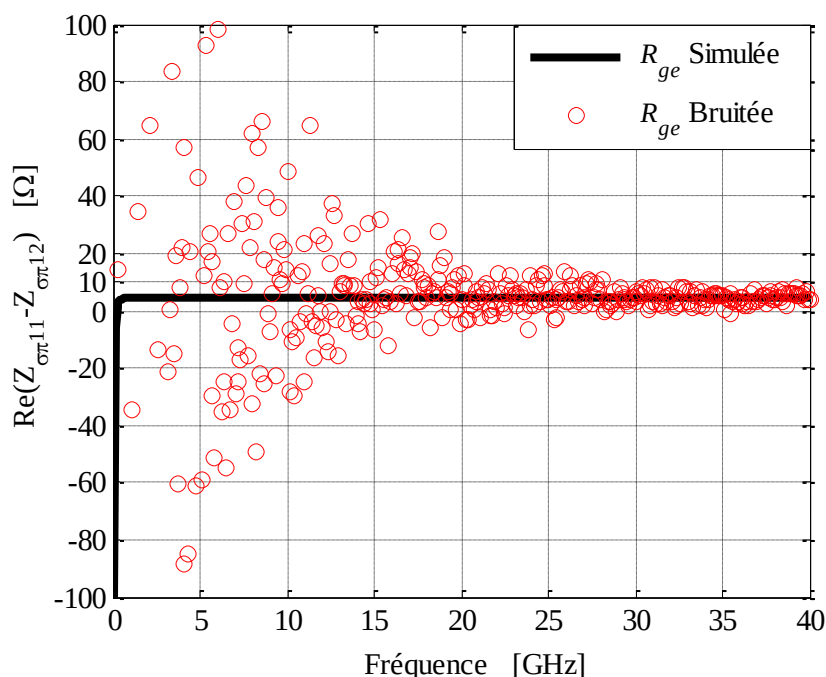


Figure 5. 28. Partie réelle de $(Z_{\sigma\pi11} - Z_{\sigma\pi12})$ simulés avec et sans bruit de VNA utilisant la méthode proposée à $V_{ds} = 0$ V et $V_{gs} = 0$ V

Les figures 5.29 et 5.30 montrent des représentations paramétriques de $[Re(Z_{\sigma\pi11}), Re(Z_{\sigma\pi21})]$ et $[Re(Z_{\sigma\pi22}), Re(Z_{\sigma\pi12})]$ pour extraire respectivement les résistances R_{se} et R_{de}

moyennant la méthode proposée. On remarque que les points de la simulation bruitée sont concentrés au début de chaque courbe de simulation sans bruit, cela veut dire que la méthode est sensible au bruit seulement en basses fréquences.

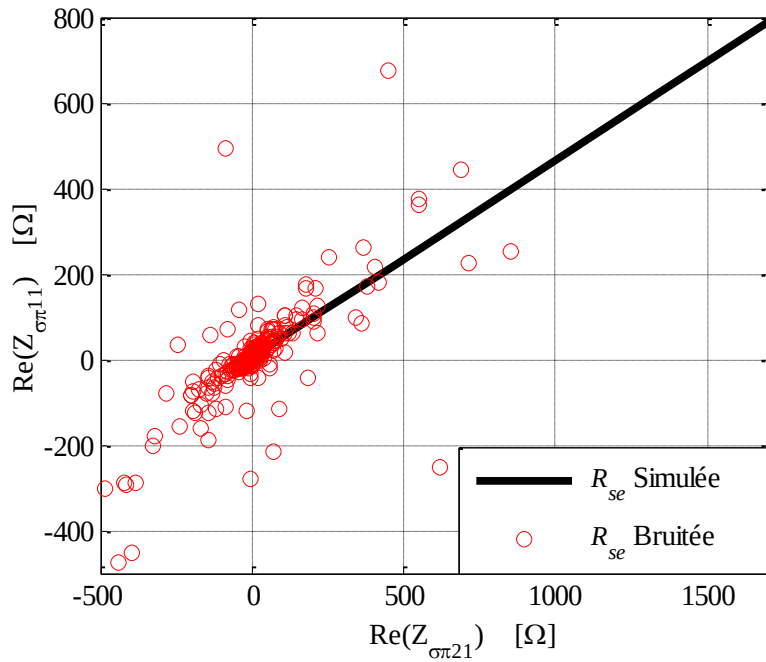


Figure 5. 29. Représentation paramétrique de $Re(Z_{\sigma\pi 11})$ en fonction de $Re(Z_{\sigma\pi 21})$ avec et sans bruit de VNA utilisant la méthode proposée à $V_{ds} = 0$ V et $V_{gs} = 0$ V

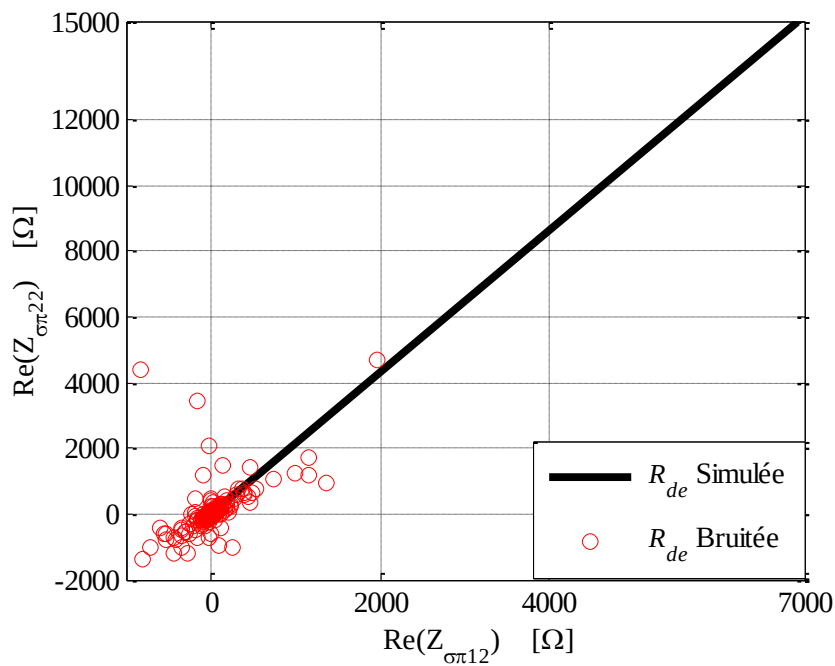


Figure 5. 30. Représentation paramétrique de $Re(Z_{\sigma\pi 22})$ en fonction de $Re(Z_{\sigma\pi 12})$ avec et sans bruit de VNA utilisant la méthode proposée à $V_{ds} = 0$ V et $V_{gs} = 0$ V

Les figures 5.31-5.33 représentent les capacités extrinsèques extraites. Les simulations avec bruit montrent une dispersion dans la gamme 0 à 15 GHz, et au-delà de cette fréquence les points suivent la courbe de simulation sans bruit.

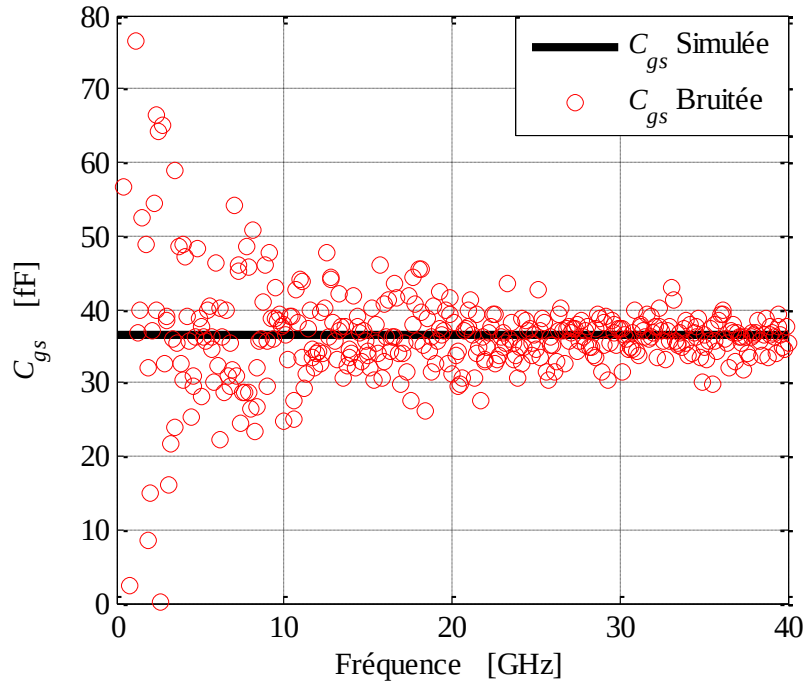


Figure 5. 31. Représentation des capacités avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}

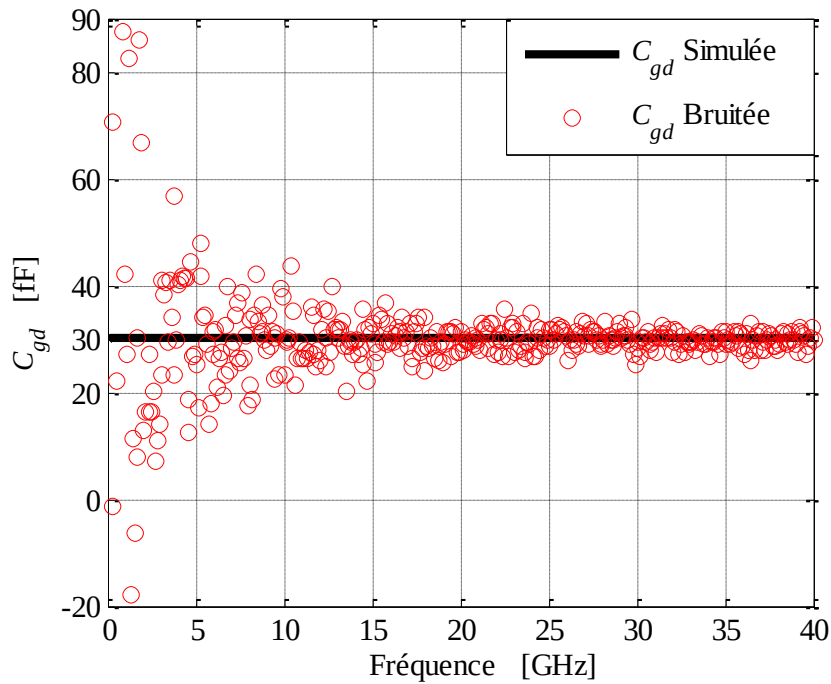


Figure 5. 32. Représentation des capacités avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}

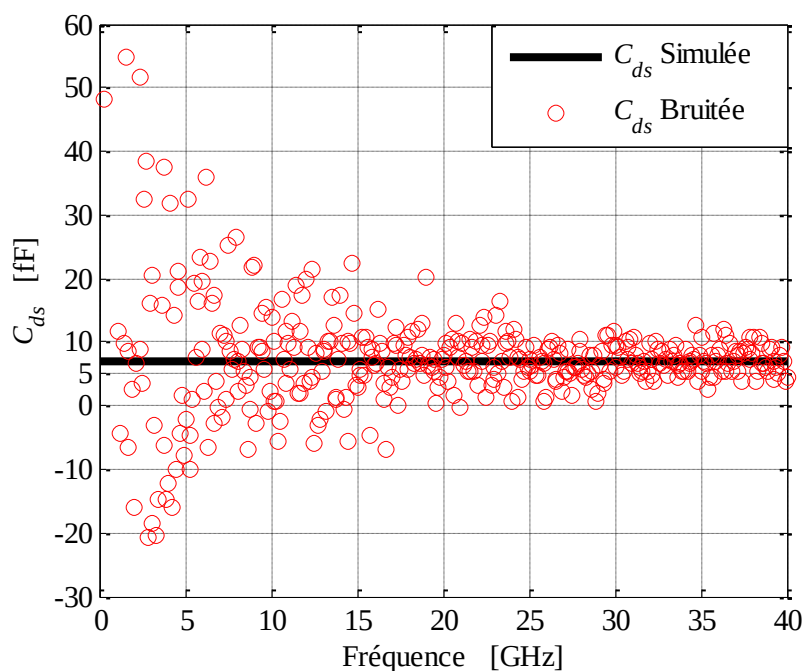


Figure 5. 33. Représentation des capacités avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}

5.3.3. Extraction des paramètres intrinsèques avec et sans bruit

Les valeurs des éléments du schéma équivalent du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μm extraits à partir des données de mesure à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée sont exposés dans le Tableau 5.9.

Tableau 5. 9 Eléments du schéma équivalent du transistor UTBB FD-SOI avec $L_g = 30$ nm et $W = 120$ μm à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V

Résistances extrinsèques	Eléments intrinsèques
$R_{se} = 2.5 \Omega$	$g_m = 350$ mS
$R_{ge} = 4.8 \Omega$	$C_{gs} = 110$ fF
$R_{de} = 7 \Omega$	$g_d = 37$ mS
	$C_{gd} = 67$ fF
	$\tau = 0.8$ ps
	$C_{ds} = 62$ fF

Dans cette partie, nous allons procéder de la même manière que le paragraphe précédent mais pour évaluer l'immunité contre le bruit de la méthode d'extraction des paramètres intrinsèques. Nous allons utiliser les mêmes planchers de bruit du VNA (Tableau 5.8).

La figure 5.34 correspond à la courbe de la transconductance g_m en fonction de la fréquence pour les simulations avec et sans bruit. Cette figure montre que l'impact du

plancher de bruit du VNA est considérable en basse fréquence, particulièrement en deçà de 5 GHz. Cependant, au-dessus de 5 GHz les courbes avec bruit et sans bruit convergent.

En outre, une large dispersion est enregistrée au niveau de l'extraction de la conductance g_d sur toute la gamme de fréquence comme illustré à la figure 5.35.

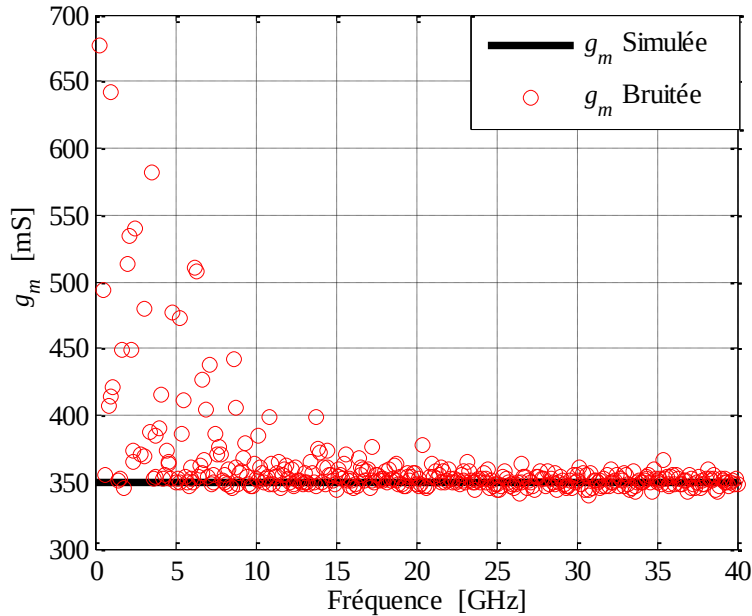


Figure 5. 34. Représentation des conductances avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée. (a) g_m , (b) g_d

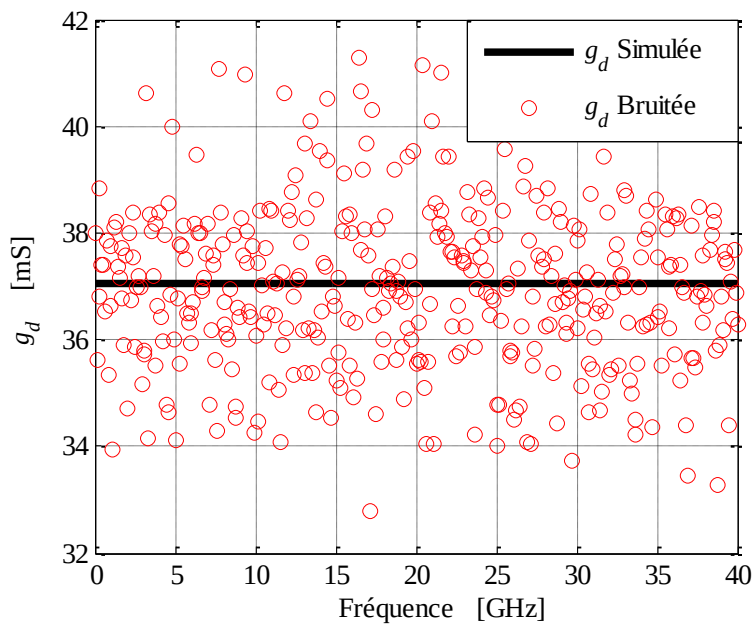


Figure 5. 35. Représentation des conductances avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée. (a) g_m , (b) g_d

Concernant l'extraction du temps de retard τ ainsi que des capacités (C_{gs} , C_{ds} et C_{gd}), on peut noter aux figures respectives 5.36 à 5.39, que les simulations avec bruit présentent une dispersion dans la gamme [0.04-15GHz], et au-dessus de 15 GHz, les courbes convergent à nouveau vers les simulations sans bruit.

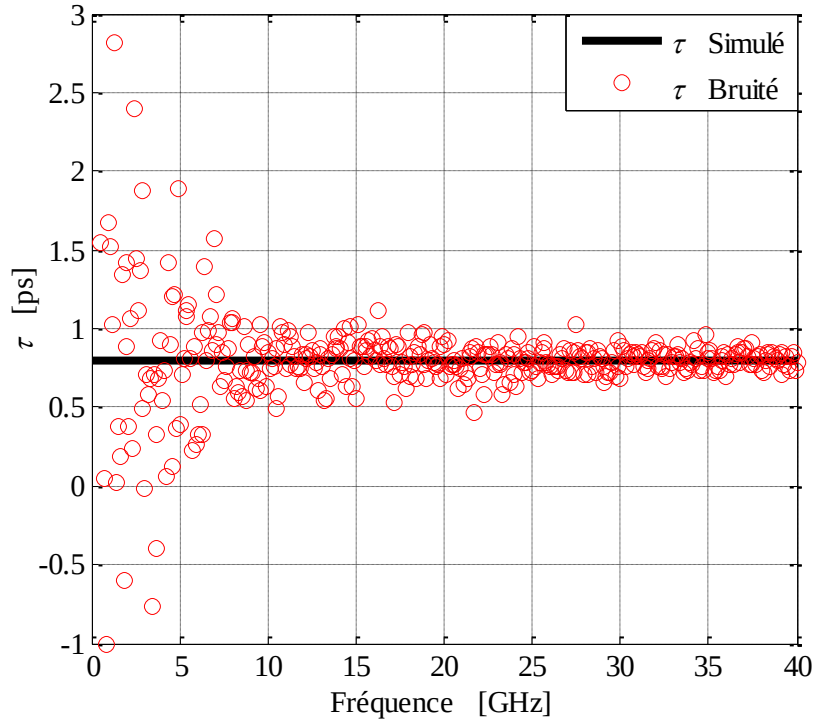


Figure 5. 36. Temps de retard simulé du transistor UTBB FD-SOI avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée

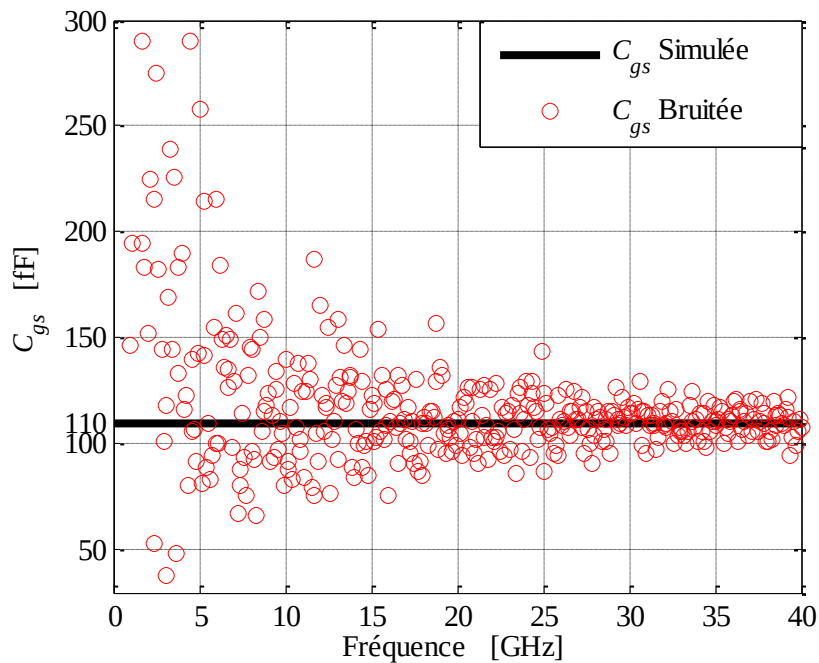


Figure 5. 37. Représentation des capacités avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}

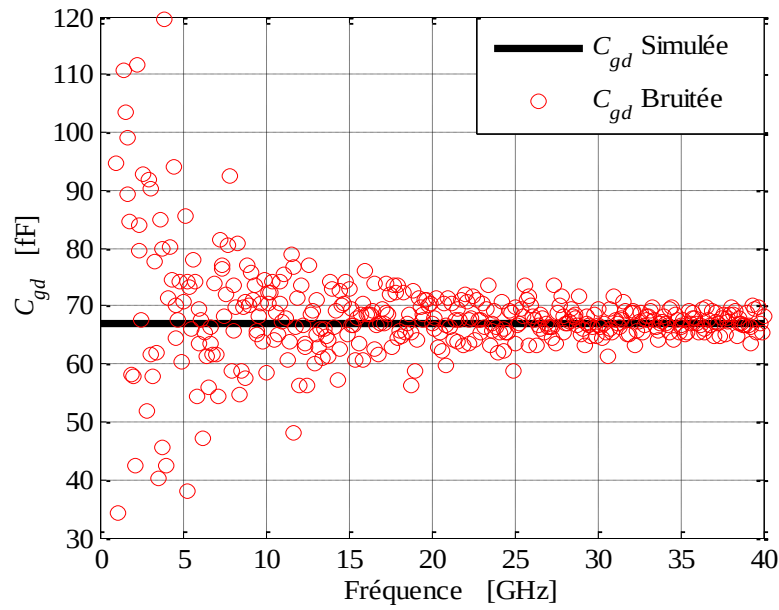


Figure 5. 38. Représentation des capacités avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}

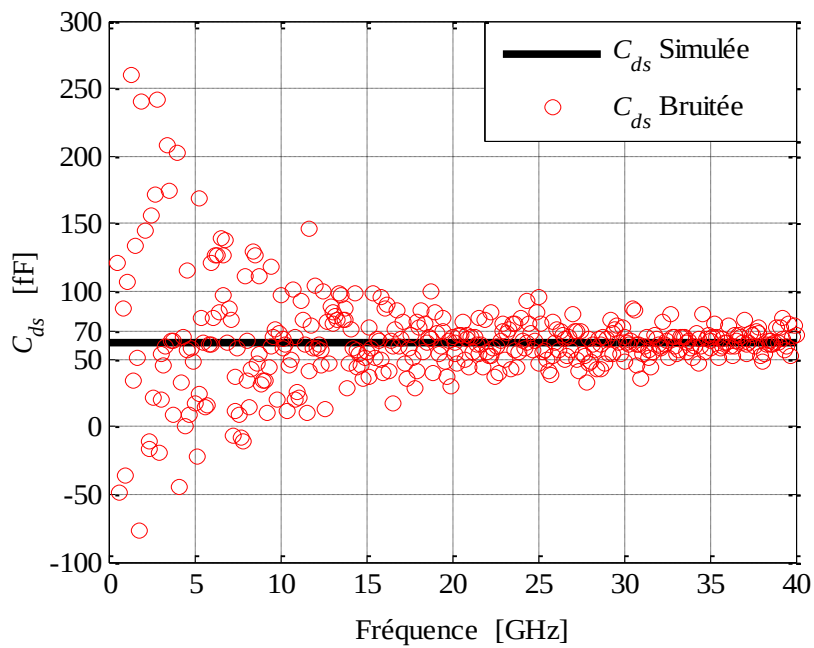


Figure 5. 39. Représentation des capacités avec et sans bruit de VNA à $V_{ds} = 1$ V et $V_{gs} = 0.95$ V, utilisant la méthode proposée. (a) C_{gs} , (b) C_{gd} , (c) C_{ds}

5.4. Conclusion

Dans ce chapitre, nous avons présenté les résultats de la caractérisation et de la modélisation des transistors à effet de champ, par le biais de la méthode d'extraction proposée.

Nous avons commencé par appliquer la méthode d'extraction proposée, sur le transistor MOS PD-SOI avec $L_g = 130$ nm et sur le UTBB FD-SOI avec $L_g = 30$ nm. Puis nous avons validé la méthode d'extraction RF en comparant entre les mesures et les simulations sans introduire aucun processus d'optimisation. Il est important de noter la remarquable convergence obtenue entre simulation et mesure.

La deuxième application de la méthode proposée a porté sur le transistor FinFET où nous avons extrait sa partie extrinsèque avec succès, puis nous l'avons validé en comparant le module et la phase des paramètres S et les courbes tracées ont démontré une coïncidence notable entre mesures et simulation.

De plus, dans le but de généraliser la méthode proposée, nous l'avons appliqué au transistor HEMT AlGaIn/GaN. Cependant, bien que les résultats obtenus soient satisfaisants, une certaine difficulté a été notée lors de l'extraction de la partie extrinsèque.

Enfin, nous avons étudié la sensibilité de la méthode d'extraction à travers l'ajout des planchers de bruit de VNA sur les paramètres S simulés du transistor UTBB FD-SOI, pour voir l'impact du bruit sur l'extraction des éléments du schéma équivalent petit signal. Il a été constaté que l'influence du bruit est généralement présente au niveau des basses fréquences, néanmoins, la méthode d'extraction proposée a démontré son immunité au niveau des hautes fréquences.

Conclusion générale

Conclusion générale

Les applications dans le domaine de télécommunication (téléphonie mobile, réseau sans fil, ...) évoluent dans façon continu grâce à l'évolution continue des transistors radiofréquence RF. Néanmoins, cette évolution ne peut se maintenir sans un développement parallèle des travaux d'investigation permettant la caractérisation électrique et la modélisation de ces composants.

Les travaux effectués lors de cette thèse portaient sur la caractérisation et modélisation large bande des transistors à effet de champ, notamment, les transistors MOSFET sur SOI (*Silicon-on-Insulator*) et les transistors HEMT à base de nitrure de gallium GaN. Il s'agissait de développer des techniques d'extraction RF des éléments d'un circuit équivalent petit signal des transistors à effet de champ.

Dans un premier temps un état de l'art a été dressée sur les différentes générations de transistors à effet de champ, à savoir, les transistors MOSFET sous leurs variantes : UTB FD-SOI, FinFET et UTBB FD-SOI. Nous avons pu constater l'importance de ces transistors dans l'industrie des produits électronique destinés aux applications RF. Sur un autre volet, il a été mis en avant l'importance d'utiliser d'autre type de transistors, en l'occurrence, les HEMT GaN, lorsqu'une forte puissance est manipulée en haute fréquence.

En second lieux, et en essayant de construire un background théorique qui constituera la base des travaux qui seront menés par la suite, le deuxième chapitre a été consacré à la présentation des caractéristiques décrivant le fonctionnement des transistors discutés dans le premier chapitre, et ce, en régime statique. Ces caractéristiques sont d'une importance du moment qu'elles permettent de déterminer des paramètres propres au transistor en question. De plus, nous avons décrit les équipements et bancs de mesure utilisés lors de la caractérisation des transistors que ce soit pour le régime statique ou bien dynamique.

Le troisième chapitre a porté sur l'aspect théorique des différents types de modélisation des transistors à effet de champs en haute fréquence. Au début nous avons fait une description de la modélisation générique, où nous avons vu qu'elle est constituée de trois types de modélisation, à savoir, la modélisation physique, la modélisation à base de données expérimentales et la modélisation phénoménologique. Nous avons conclu que le type de modélisation le plus commode aux transistors à effet de champ émergent est la modélisation phénoménologique, particulièrement, la modélisation analytique directe dont les modèles

nécessitent une caractérisation particulière des composants déjà existants. Le travail avec ce genre de modélisation est flexible, précis et rapide. En outre, nous avons présenté la méthodologie d'extraction directe des éléments des circuits équivalents des transistors.

Nous avons traité au chapitre quatre la méthode de modélisation que nous avons proposée. Une méthode originale a été introduite permettant la détermination d'une façon directe et précise de tous les éléments du schéma équivalent petit signal des transistors à effet de champ. La première application de cette méthode a porté sur l'extraction des éléments extrinsèques et intrinsèques du schéma équivalent petit signal des transistors MOS SOI. L'approche retenue a permis de déterminer les valeurs des résistances extrinsèques à tous les points de polarisation en saturation, et de même pour la déduction des capacités extrinsèques ainsi que les éléments intrinsèques, et ce, à partir d'une simple transformation matricielle successive de la matrice de répartition $[S]$ mesurée en matrice admittance intrinsèque $[Y_{int}]$. Une deuxième application de la dite méthode a été conduite sur le transistor FinFET où nous avons extrait ses résistances extrinsèques. Enfin, la dernière partie de ce chapitre portait sur la généralisation de la méthode proposée, à d'autres dispositifs différents des structures de la famille MOSFET, il s'agissait dans ce du transistor HEMT AlGaIn/GaN.

Finalement, en vue de valider l'approche détaillée dans le chapitre quatre, le dernier chapitre a été consacré à la présentation des résultats de simulation issue de l'application de la méthode à des cas précis de transistors et à des points de polarisation déterminés. Ensuite, une comparaison a été effectuée entre ces simulations et les données des mesures, et nous avons obtenu un très bon accord entre les deux. En effet cet accord reflète la fiabilité de la méthode proposée. Et comme test d'immunité la méthode a été soumise à une dernière épreuve relative à l'impact du bruit plancher, nous avons constaté que notre méthode présente une robustesse mais au niveau des hautes fréquences.

Références bibliographique

- [1] F. Andrieu, O. Weber, S. Baudot, C. Fenouillet, O. Rozeau, J. Mazurier, P. Perreau, J. Eymery, O. Faynot, "Fully depleted silicon-On- insulator with back bias and strain for low power and high performance applications.," *IC Design & Technology (ICICDT)*, 2010.
- [2] J. P. Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, 3rd ed. Springer Science & Business Media LLC, 2004.
- [3] E. J. Nowak, "Maintaining the benefits of CMOS scaling when scaling bogs down," *IBM Journal of Research and Development*, vol. 46, pp. 169-80, 2002.
- [4] L. Chang, Y. K. Choi, D. Ha, P. Ranade, S. Xiong, J. Bokor, C. Hu, T. J. King, "Extremely scaled silicon nano-CMOS devices," *Proceeding of IEEE*, vol. 91, no.11, pp. 1860–1873, 2003.
- [5] G. Crupi, M.M.P. Schreurs, J. P. Raskin, A. Caddemi, " A comprehensive review on microwave FinFET modeling for progressing beyond the state of art, " *Solid-State Electronics* no.80, pp. 81–95, 2013.
- [6] J. P. Raskin, "FinFET and UTBB for RF SOI communication systems, " *Solid-State Electronics* no.125, pp.73–81, 2016.
- [7] V. Kilchytska, S. Makovejev, M. Khairuddin, M. Arshad, J. P Raskin, D. Flandre, "Perspectives of UTBB FD-SOI MOSFETs for Analog and RF Applications," *Functional Nanomaterials and Devices for Electronics, Sensors and Energy Harvesting, Engineering Materials, Springer International Publishing Switzerland* 2014.
- [8] Q. Liu, M. Vinet, J. Gimbert, "High performance UTBB FDSOI devices featuring 20nm gate length for 14nm node and beyond," in *Technical Digest - International Electron Devices Meeting, IEDM*, , pp. 228–231, 2013.
- [9] M. Abe, T. Mimura, N. Kobayashi, M. Suzuki, M. Kosugi, M. Nakayama, K. Odani, I. Hanyu, "Recent advances in ultrahighspeed HEMT LSI technology", *IEEE Transactions on Electron Devices*, vol. 36, no. 10, pp. 2121–2131, 1989.
- [10] M. Golio, J. Golio, *RF and Microwave Passive and Active Technologies*, RF and Microwave Handbook, CRC Press, 2008.
- [11] A. Guilhem, "Fiabilité des dispositifs HEMT en technologie GaN," Ph. D. dissertation, Université de Toulouse, France, 2012.
- [12] J. Alberto, Z. Flores, *device characterisation modeling of large size GaN HEMTS*, Kassel university 2012.
- [13] www.gecif.net.
- [14] J. Martin, "Impact des technologies d'intégration 3D sur les performances des composants CMOS ", *Thèse de doctorat, Université de Toulouse, France*, 2009.

- [15] Q. Rafhay, A. Cros, I. Pheng, L. Vincent, A. Siesy, "Comparaison des effets de canaux courts entre les technologies MOSFET FDSOI et MOSFET bulk," *EDP Sciences*, 2015.
- [16] M. M. Pelella, W. Maszara, S. Sundararajan, "Advantages and Challenges of High Performance Cmos on Soi", *IEEE International SOI Conference*, pp. 1–4, 2001.
- [17] S. Samir, "Contribution à l'étude de perturbations électromagnétiques sur des composants MOS en Utilisant la méthode FDTD", *thèse de Doctorat université de constantine1*, Algerie, 2013.
- [18] N. Merabtine, D. Sadaoui, M. Benslama, "contribution à l'étude du phénomène de latchup induit dans les circuits intégrés embarqués dans un environnement radiatif spatial", *Rom. Journ. Phys.*, vol. 52, pp. 119–129, Bucharest, 2007.
- [19] B. Vandana, "Study of Floating Body Effect in SOI Technology ", *International Journal of Modern Engineering Research (IJMER)*, vol. 3, no. 3, pp.1817–1824, 2013.
- [20] [http:// www.itrs.net/.>2011](http://www.itrs.net/.>2011). *The International Technology Roadmap for Semiconductors (ITRS)*, web site,
- [21] R. Berger, J. Burns, C. L Chen, C. Chen, M. Fritze, P. Gouker, J. Knecht, A. Soares, V. Suntharalingam, P. Wyatt, D.R. Yost, L. Keast, *low power, high performance, fully depleted SOI CMOS technology*, DARPAJMT0 AME Review, 31 August, 1999.
- [22] J. P. Colinge, "Silicon-on-insulator technology: Materials to VLSI," ISBN 14020-77734, Kluwer Academic Publishers, 3rd edition, 1997.
- [23] http://www.st.com/content/st_com/en.html.
- [24] X. Gua , Q. Shuia , C. W. Mylesb, M. A. Gundersen," Comparison of Si, GaAs, SiC and GaN fet-type switches for pulsed power applications *pulsed Power* , " *14thIEEE International Conference*, Digest, 2003.
- [25] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*, McGraw-Hill, 1987.
- [26] D. K. Schroder, *Semiconductor Material and Device Characterization*, Wiley, 1990.
- [27] A. Kranti, G. A. Armstrong, "Performance assessment of nanoscale double- and triple-gate FinFETs", *Semiconductor Science and Technology*, no.21, pp.409–421, 2006.
- [28] J. P. Colinge,"Multiple-gate SOI MOSFETs", *Solid-State Electronics*, no.48, pp.897–905, 2004.
- [29] N. Planes, O. Weber, V. Barral, "28nm FDSOI technology platform for high-speed low-voltage digital applications," in *Digest of Technical Papers - Symposium on VLSI Technology*, vol. 33, no. 4, pp. 133–134, 2012.
- [30] D. Jacquet, F. Hasbani, P. Flatresse, "A 3 GHz dual core processor ARM cortex TM - A9 in 28 nm UTBB FD-SOI CMOS with ultra-wide voltage range and energy efficiency optimization," *IEEE J. Solid-State Circuits*, vol. 49, no. 4, pp. 812–826, 2014.

- [31] [Online]. Available: <http://www.cmicro.com/products/engineering-probes/rf-microwave/infinity-probe>. Infinity probe: High-frequency performance with low, stable contact resistance on aluminum pads. Cascade Microtech, Inc.
- [32] [Online]. Available: <http://www.cmicro.com/products/stp/suss-accessories/-z-probe-family/-z-probe-jZj> probe : Excellent performance with the longest lifetime. Cascade Microtech, Inc. R.
- [33] M. Imame, "wide band and noise characterization of various mosfets for optimized use in RF circuits," Université catholique de Louvain, Belgique, 2010.
- [34] [Online]. Available: <http://literature.agilent.com/litweb/pdf/5965-7709E.pdf>. "Applying error correction to network analyzer measurements," Application Note, Agilent Technologies, Mar. 2002.
- [35] Agilent Technologies. [Online]. Available: <http://www.agilent.com>
- [36] S. Poli, S. Reggiani, G. Baccarani, E. Gnani, A. Gnudi, M. Denison, S. Pendharkar, R. Wise, " Hot-carrier Stress Induced Degradation in Multi-STI-Finger LDMOS: An Experimental and Numerical Insight", *Solid-State Electronics*, vol. 65-66, pp. 57-63, 2011.
- [37] J. Alvarado, V. Kilchytska, E. Boufouss, D. Flandre, " Characterization and Modelling of Single Event Transients in LDMOS-SOI FETs", *Microelectronics Reliability*, vol. 51, pp. 2004-2009, 2011.
- [38] P. H. Aaen, J. A. Pl'a, J. Wood, "Modeling and characterization of RF and microwave power FETS", *The Cambridge RF and Microwave Engineering Series*, Cambridge University, 2007.
- [39] T. Bordignon, J. L. Sanchez, P. Austin, V. Houdbert, " Behavioral models and specific design tool for new power integrated devices ", *Technical Proceedings of the International Conference on Modeling and Simulation of Microsystems San Diego USA*, 2000 .
- [40] D. Estreich, "Nonlinear modeling for MMIC's", *IEEE Microw. Millimeter Wave Monolithic Circuit Symp. Dig.*, pp.93-96, 1987.
- [41] C. Enz, "An MOS transistor model For RF IC design valid in all regions of operation", *IEEE Tans. Microw. Theory and Tech.*, vol.50, pp.342-359, 2002.
- [42] D. Suh, J. G. Fossum, "A physical charge-based model for non-fully depleted SOI MOSFET's and its use in assessing floating body effects in SOI CMOS circuits", *IEEE Tans. Electron Dev.*, vol.42, pp.728-737, 1995.
- [43] H. J. Park, P. K. Ko, C. Hu, " A charge non-quasi -static (NQS) MOSFET model for SPICE transient analysis", *IEEE Tans. Computer-Aided Design*, vol.10, pp.629-642, 1991.
- [44] B. Iniguez, G. Moreno, "A physically-based continuous model for small geometry MOSFET's", *IEEE Tans. Electron Dev.*, vol.42, pp.283-287, 1995.

- [45] S. Veeraraghavan, J. G. Fossum, "A physical short-channel model for thin film SOI MOSFET applicable to device and circuit CAD", *IEEE Tans. Electron Dev.*, vol. 35, pp. 1866-1875, 1988.
- [46] Y. Tsididis, *Operation and Modeling of the MOS Transistor*, Oxford University Press, Second Edition, 1999.
- [47] J. Saijets, "MOSFET RF characterization using bulk and SOI CMOS technologies", *Thèse de Doctorat de l'Université de Helsinki de Technologie, Espoo, Finlande*, 2007.
- [48] J. J. Liou, F. Schwierz, "RF MOSFET : recent advances, current status and future trends", *Solid-State Electronics*, vol. 47, pp. 1881-1895, 2003.
- [49] Y. Yang, J. Yi, B. Kim, "Accurate RF Large-Signal Model of LDMOSFET Including Self-Heating Effect", *IEEE Trans. Microw. Theory and Tech.*, vol. 49, pp. 1626-1633, 2001.
- [50] M. Dehan, J. P. Raskin, D. Vanhoenacker, "Comparison of different extraction Methods of small-signal parameters for SOI MOSFET's", in *Proc. Of 32th European Microwave Conference (EuMC)*, 2002.
- [51] C. Teyssandier, "Contribution à la modélisation non-linéaire de transistors de puissance HEMT pseudomorphiques sur substrat AsGa : analyse des effets parasites", *Thèse de Doctorat de l'Université de Limoges, France*, 2008.
- [52] V. A. Grebennikov, F. Lin, "An efficient CAD-oriented large-signal MOSFET model", *IEEE Trans. Microw. Theory and Tech.*, vol. 48, pp. 1732-1741, 2000.
- [53] J. M. Collantes, J. J. Raoux, R. Quere, A. Suarez, "New Measurement-Based Technique for RF LDMOS Nonlinear Modeling", *IEEE Microw. and Guid. Wave Lett.*, vol. 8, pp. 345-347, 1998.
- [54] W. R. Curtice, M. Ettenberg, "A nonlinear FET GaAs model for use in the design of output circuits for power amplifiers", *IEEE Trans. Microw. Theory and Tech.*, vol. 33, pp. 1383-1394, 1985.
- [55] I. Angelov, H. Zirath, N. Rorsman, "A new empirical nonlinear model for HEMT and MESFET devices", *IEEE Trans. Microw. Theory and Tech.*, vol. 40, pp. 2258-2266, 1992.
- [56] A. Marteka, T. Kacprzak, "Computer calculation of large signal GaAs FET amplifier characteristics", *IEEE Trans. Microw. Theory and Tech.*, vol. 33, pp. 129-135, 1985.
- [57] V. I. Cojocaru, T. J. Brazil, "A scalable general-purpose model for microwave FET's including DC/AC dispersion effects", *IEEE Trans. Microw. Theory and Tech.*, vol. 45, pp. 2248-2255, 1997.
- [58] R. Gillon, J. P. Raskin, D. Vanhoenacker, J. P. Colinge, "Determining the reference impedance of on-wafer TRL calibrations on lossy substrates", in *26th European Microwave Conference Digest*, pp. 170-173, 1996.
- [59] G. Dambrine, A. Cappy, F. Heliodore, E. Playez, "A new method for determining the FET small-signal equivalent circuit", *IEEE Trans. Microw. Theory and Tech.*, vol. 36, pp. 1151-1159, 1988.

- [60] A. Pascht, M. Grozing, D. Wiegner, M. Berroth, "Small-signal and temperature noise model for MOSFET", *IEEE Trans. Microw. Theory and Tech.*, vol. 50, pp. 1927-1934, 2002.
- [61] E. P. Vandamme, D. Schreurs, C. V. Dinther, G. Badenes, L. Deferm, "Development of a RF large signal MOSFET model, based on an equivalent circuit, and comparison with the BSIM3v3 compact model", *Solid-State Electronics*, vol. 46, pp. 353-360, 2002.
- [62] R. Anholt, S. Swirhun, "Equivalent-circuit parameter extraction for cold GaAs MESFET's", *IEEE Trans. Microw. Theory and Tech.*, vol. 39, pp. 1243-1247, 1991.
- [63] A. Amairi, "Caractérisation en petit signal, en puissance et en impédances des transistors à effet de champ millimétriques, étude et réalisation d'un banc de load-pull à charge active 26.5 – 40 GHz", *Thèse de Doctorat de l'Université des Sciences et Technologies de Lille*, France, 1991.
- [64] F. Diamant, M. Laviron, "Measurement of extrinsic series elements of a microwave MESFET under zero current conditions", in *Proc. 12th European Microwave Conf.*, pp. 451-456, 1982.
- [65] S. P. I. Suci, R. L. Johnston, "Experimental derivation of the source and drain resistance on MOS transistors", *IEEE Trans. Electron Dev*, vol. 27, no. 9, pp. 1846-1848, 1980.
- [66] J. Chern, P. Chang, R. Motta, N. Godinho, "A new method to determine MOSFET channel length", *IEEE Electron Device Lett.*, vol. 1, no. 9, pp. 170-173, 1980.
- [67] G. J. Hu, C. Chang, Y. T. Chia, "Gate-voltage-dependent effective channel length and series resistance of LDD MOSFETs", *IEEE Trans. Electron Dev*, vol. 34, No. 12, pp. 2469-2475, 1987.
- [68] F. H. De La Moneda, H. N. Kotecha, M. Shatzkes, "Measurement of MOSFET constants", *IEEE Electron Device Lett.*, vol. 3, no. 1, pp. 10-12, 1982.
- [69] S. Chung, J. S. Lee, "A new approach to determine the drain-and-source series resistance of LDD MOSFET's", *IEEE Trans. Electron Dev*, vol. 40, no. 9, pp. 1709-1711, 1993.
- [70] S. D. Kim, S. Narasimha, K. Rim, "An integrated methodology for accurate extraction of S/D series resistance components in nanoscale MOSFETs", *IEEE Int. Electron Device Meeting*, pp. 149-152, 2005.
- [71] Y. H. Chang, Y.F. Wu, C.S. Ho, "A simple method to extract source/drain series resistance for advanced MOSFETs", *IEEE Conf. on Electron Devices and Solid-State Circuits*, pp. 87-90, 2007.
- [72] J. Kim, J. Lee, I. Song, Y. Yun, J. D. Lee, B. Park, H. Shin, "Accurate extraction of effective channel length and source/drain series resistance in ultrashort-channel MOSFETs by iteration method", *IEEE Trans. Electron Dev*, vol. 55, no. 10, pp. 2779-2784, 2008.

- [73] S. Lee, H. K. Yu, C. S. Kim, J. G. Koo, K. S. Nam, "A novel approach to extracting small-signal model parameters of silicon MOSFET's," *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 3, pp. 75-77, 1997.
- [74] S. Lee, "Accurate RF extraction method for resistances and inductances of sub-0.1 mm CMOS transistors," *Electronics Lett.*, vol. 41, no. 24, pp. 1325-1326, 2005.
- [75] A. Bracale, V. Ferlet, N. Fel, D. Pasquet, J. L. Gautier, J. L. Pelloie, J. Ponchara "A new approach for SOI devices small-signal parameters extraction," *Analog Integrated Circuits and Signal Processing*, pp. 157-168, 2000.
- [76] F. J. Garcia Sanchez, A. Ortiz, J. J. Liou, "On the extraction of the source and drain series resistances of MOSFETs," *Microelectronics Reliability*, vol. 39, pp. 1173, 1999.
- [77] A. Ortiz, J. J. Liou, W. Wong, F. J Garcia Sanchez, "Simple method for extracting the difference between the drain and source series resistances in MOSFETs," *Electronics Lett.*, vol. 30, no. 12, pp. 1013-1015, 1994.
- [78] D. Lovelace, J. Costa, N. Camilleri, "Extracting small-signal model parameters of silicon MOSFET transistors," *IEEE MTT-S Int. Microwave Symp*, vol. 2, pp. 865-868, 1994.
- [79] J. P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker, J. P. Colinge, "Accurate SOI MOSFET characterization at microwave frequencies for device performance optimization and analog modeling," *IEEE Trans. Electron Dev*, vol. 45, no. 5, pp. 1017-1024, 1998.
- [80] R. Torres, R. S. Murphy, S. Decoutere, "MOSFET bias dependent series resistance extraction from RF measurements," *Electronics Lett.*, vol. 39, pp. 1476, 2003.
- [81] R. Valentin, "RF small signal analysis of Schottky-barrier p-MOSFET," *IEEE Trans. Electron Dev.*, vol. 55, pp. 1192-1202, 2008.
- [82] J. C. Tinoco, J. P. Raskin, " New RF extrinsic resistances extraction Procedure for deep-submicron MOS transistors," *Int. J. Numer. Model*, vol. 23, pp. 107-126, 2010.
- [83] J. C. Tinoco, A. G. B. Martinez, J. P. Raskin, "Mobility degradation and transistor asymmetry impact on field effect transistor access resistances extraction" *Solid-State Electronics*, vol. 56, pp. 214-218, 2011.
- [84] G. Dambrine, A. Cappy, "Détermination rapide et précise du schéma équivalent petit signal des transistors à effet de champ", *Annales des télécommunications*, vol.43, 1988.
- [85] J. C. Tinoco, J. P. Raskin, "RF-extraction methods for MOSFET series resistances: A fair comparison", *Devices, Circuits and Systems,. ICCDCS. 7th International Caribbean Conference*, pp. 1–6, 2008.
- [86] M. Emam, J. C. Tinoco, D. V. Janvier, J. P. Raskin, " High-temperature DC and RF behaviors of partially depleted SOI MOSFET transistors", *Solid-State Electronics*; vol.52, pp.1924. 2008.

- [87] M. Dehan, D. Vanhoenacker, J. P. Raskin, "Alternative structures of SOI MOSFET for improving DC and microwave characteristics", *Proceedings of 31st European microwave conference*, 2001.
- [88] J. C. Tinoco, J. P. Raskin, "Advanced RF MOSFET's for Microwave and Millimeter Wave Applications: RF Characterization Issues", *Microwave and Millimeter Wave Technologies from Photonic Bandgap Devices to Antenna and Applications*, Igor Minin (Editor), pp. 953-978, InTech, 2010.
- [89] E. Chigaeva, W. Walthes, "Determination of small-signal parameters of GaN-based HEMT," in *Proc. IEEE/Cornell High Performance Devices Conf.*, pp. 115–122, 2000.
- [90] A. Jarndal, G. Kompa, "A new small signal model parameter extraction method applied to GaN devices", *presented at the IEEE MTT-S Int. Microw. Symp.*, Long Beach, CA, 2005.
- [91] G. Chen, V. Kumar, R. Schwindt, I. Adesida, "A reliable low gate bias model extraction procedure for AlGaIn/GaN HEMT", *presented at the IEEE MTT-S Int. Microw. Symp.*, San Francisco, CA, 2006.
- [92] G. Crupi, D. Xiao, M. P. Schreurs, E. Limiti, A. Caddemi, W. Raedt, M. Germain, "Accurate multibias equivalent-circuit extraction for GaN HEMT," *IEEE Trans. Microwave Theory Tech.*, vol. 54, pp. 3616–3622, 2006.
- [93] A. Jarnadl, "A simplified modelling approach for AlGaIn/GaN HEMT using pinched cold S-parameters", *5th International Conference Modeling, Simulation and Applied Optimization (ICMSAO)*, 2013.
- [94] D. Lederer, V. Kilchytska, T. Rudenko, N. Collaert, D. Flandre, A. Dixit, "FinFET analogue characterization from DC to 110 GHz," *Solid-State Electron* no. 49, pp.1488–1496, 2005.
- [95] I. M. Kang, H. Shin, "Non-quasi-static small-signal modeling and analytical parameter extraction of SOI FinFETs," *IEEE Trans Nanotechnol* no. 5, pp. 205–210, 2006.
- [96] J. P. Raskin, "SOI technology: An opportunity for RF designers," *8th Diagnostics & Yield Symposium, Warsaw, Poland*, paper #7, 2009.
- [97] J. C. Tinoco, B. Parvais, A. Mercha, S. Decoutere, J. P. Raskin, "DC and RF characteristics of FinFET over a wide temperature range", *Proc. EUROSOFI-2008*, Cork, Ireland, 23–25, 2008.
- [98] M. Berroth, R. Bosch, "High-Frequency Equivalent Circuit of GaAs FET's for large-Signal Applications," *IEEE Trans. Microwave Theory & Tech.*, vol. 39, no. 2, pp. 224–229, 1991.
- [99] J. C. Tinoco, J. Alvarado, A. G. M. Lopez, J. P. Raskin, "Impact of extrinsic capacitances on FinFETs RF performance," *Topical Meeting Silicon Monolithic Integrated Circuits in RF Systems*, pp. 73–76, 2012.
- [100] J. C. Tinoco, S. S. Rodriguez, A. G. M. Lopez, J. Alvarado, J. P. Raskin "Impact of Extrinsic Capacitances on FINFET RF Performance", *IEEE transactions on microwave theory and techniques*, vol. 61, no. 2, pp. 73-76, 2012.

- [101] New technology delivers an unprecedented combination of performance and power efficiency [online] available: <http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html>
- [102] A. Thean, Z. H. Shi, L. Mathew, T. Stephens, H. Desjardin, C. Parker, T. White, M. Stoker, L. Prabhu, R. Garcia, B. Y. Nguyen, S. Murphy, R. Rai, J. Conner, B. E. White, S. Venkatesan, " Performance and variability comparisons between multi-gate FETs and planar SOI transistors," *IEDM*, pp. 1–4, 2006.
- [103] K. Shirakawa, H. Oikawa, T. Shimura, Y. Kawasaki, Y. Ohashi, T. Saito, Y. Daido, "An approach to determining an equivalent circuit for HEMTs," *IEEE Trans. Microwave Theory & Tech.* vol.43, no.3, pp.499–503,1995.
- [104] N. Rorsman, M. Garcia, C. Karlsson, H. Zirath, " Accurate small-signal modeling of HFETs for Millimeter wave applications", *IEEE Trans. Microwave Theory &Tech.* vol. 44, no.3, pp. 432–436, 1996.
- [105] N. Caddemi, G. Crupi, "A robust approach for the determination of the small signal equivalent circuit of HEMTs," *Microelectronics Journal*, vol. 35, 2004.
- [106] J. Burm, W. Schaff, L. Eastman, H. Amano, I. Akasaki, "An improved small-signal equivalent circuit model for III–V nitride MODFET's with large contact resistances, " *IEEE Trans. Electron Devices*, vol.44, no.5, pp.906–907,1997.
- [107] E. Chigeva, W. Waithes, D. Wiegner, "Determination of Small-Signal Parameters of GaN-based HEMTs," *Cornell Conference of high performance devices, Cornell University*, pp. 115-122, USA, ,2000.
- [108] J. Lu, Y. Wang, L. Ma, Z. Yu, "A new small signal modeling and extraction method in AlGaIn/GaN HEMTS," *Solid-State Electronics*, vol 52, pp.115–120, 2008.
- [109] A. Jarndal, R. Essaadali, A. B. Kouki, "A reliable model parameter extraction method applied to AlGaIn/GaN HEMTs," *IEEE Trans. Computer-Aided Design of Integrated Circuits Syst.*, vol. 35, no. 2, pp. 211-219, 2016.

ANNEXE A

Matrice de passage

Tout réseau électrique à deux ports, tel que celui de la Figure A.1, peut être représenté par :

- Représentation par paramètres d'impédance (Paramètres-Z)

$$V_1 = Z_{11}I_1 + Z_{12}I_2$$

$$V_2 = Z_{21}I_1 + Z_{22}I_2$$

- Représentation par paramètres d'admittance (Paramètres-Y)

$$I_1 = Y_{11}V_1 + Y_{12}V_2$$

$$I_2 = Y_{21}V_1 + Y_{22}V_2$$

- Représentation par paramètres de répartition (Paramètres-S)

$$b_1 = S_{11}a_1 + S_{12}a_2$$

$$b_2 = S_{21}a_1 + S_{22}a_2$$

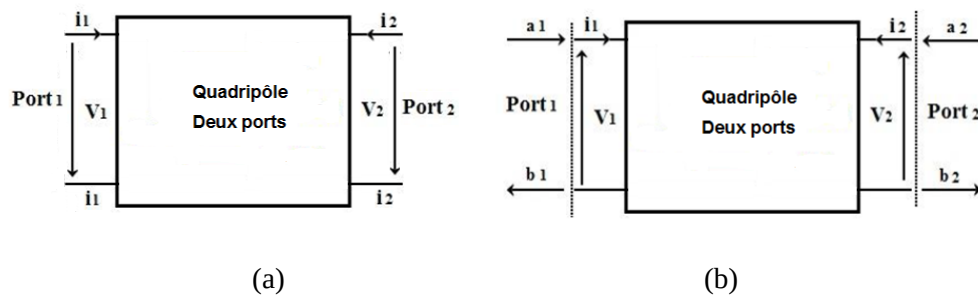


Figure A. 1. Représentation d'un quadripôle à deux ports. (a) paramètres-Z, Y, (b) paramètres-S

Le passage d'une représentation électrique à une autre est assuré par Calculs mathématiques simples comme le montre le tableau A.1

Tableau A. 1 Tableau A.1 Equations pour la conversion entre paramètres S, Y et Z, avec impédance de source Z_{01} et impédance de charge Z_{02} .

.Conversion paramètres-S en paramètres-Z	Conversion paramètres-Z en paramètres-S
$S_{11} = \frac{(Z_{11} - Z_{01})(Z_{22} + Z_{02}) - Z_{12}Z_{21}}{(Z_{11} + Z_{01})(Z_{22} + Z_{02}) - Z_{12}Z_{21}}$ $S_{12} = \frac{2Z_{12}(Z_{01}Z_{02})^{1/2}}{(Z_{11} + Z_{01})(Z_{22} + Z_{02}) - Z_{12}Z_{21}}$ $S_{21} = \frac{2Z_{21}(Z_{01}Z_{02})^{1/2}}{(Z_{11} + Z_{01})(Z_{22} + Z_{02}) - Z_{12}Z_{21}}$ $S_{22} = \frac{(Z_{11} + Z_{01})(Z_{22} - Z_{02}) - Z_{12}Z_{21}}{(Z_{11} + Z_{01})(Z_{22} + Z_{02}) - Z_{12}Z_{21}}$	$Z_{11} = \frac{(Z_{01} + S_{11}Z_{01})(1 - S_{22}) + Z_{01}S_{12}S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}}$ $Z_{12} = \frac{2S_{12}(Z_{01}Z_{02})^{1/2}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}}$ $Z_{21} = \frac{2S_{21}(Z_{01}Z_{02})^{1/2}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}}$ $Z_{22} = \frac{(Z_{02} + S_{22}Z_{02})(1 - S_{11}) + Z_{02}S_{12}S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}}$
Conversion paramètres-S en paramètres-Y	Conversion paramètres-Y en paramètres-S
$S_{11} = \frac{(1 - Y_{11}Z_{01})(1 + Y_{22}Z_{02}) + Z_{01}Z_{02}Y_{12}Y_{21}}{(1 + Y_{11}Z_{01})(1 + Y_{22}Z_{02}) - Z_{01}Z_{02}Y_{12}Y_{21}}$ $S_{12} = \frac{-2Y_{12}(Z_{01}Z_{02})^{1/2}}{(1 + Y_{11}Z_{01})(1 + Y_{22}Z_{02}) - Z_{01}Z_{02}Y_{12}Y_{21}}$ $S_{21} = \frac{-2Y_{21}(Z_{01}Z_{02})^{1/2}}{(1 + Y_{11}Z_{01})(1 + Y_{22}Z_{02}) - Z_{01}Z_{02}Y_{12}Y_{21}}$ $S_{22} = \frac{(1 + Y_{11}Z_{01})(1 - Y_{22}Z_{02}) + Z_{01}Z_{02}Y_{12}Y_{21}}{(1 + Y_{11}Z_{01})(1 + Y_{22}Z_{02}) - Z_{01}Z_{02}Y_{12}Y_{21}}$	$Y_{11} = \frac{(Z_{02} + S_{22}Z_{02})(1 - S_{11}) + Z_{02}S_{12}S_{21}}{(Z_{01} + S_{11}Z_{01})(Z_{02} + S_{22}Z_{02}) - Z_{02}Z_{01}S_{12}S_{21}}$ $Y_{12} = \frac{-2S_{12}(Z_{01}Z_{02})^{1/2}}{(Z_{01} + S_{11}Z_{01})(Z_{02} + S_{22}Z_{02}) - Z_{02}Z_{01}S_{12}S_{21}}$ $Y_{21} = \frac{-2S_{21}(Z_{01}Z_{02})^{1/2}}{(Z_{01} + S_{11}Z_{01})(Z_{02} + S_{22}Z_{02}) - Z_{02}Z_{01}S_{12}S_{21}}$ $Y_{22} = \frac{(Z_{01} + S_{11}Z_{01})(1 - S_{22}) + Z_{02}S_{12}S_{21}}{(Z_{01} + S_{11}Z_{01})(Z_{02} + S_{22}Z_{02}) - Z_{02}Z_{01}S_{12}S_{21}}$
Conversion des paramètres-Z en paramètres-Y	Conversion des paramètres-Y en paramètres-Z
$Z_{11} = \frac{Y_{22}}{Y_{11}Y_{22} - Y_{12}Y_{21}}$ $Z_{12} = \frac{-Y_{12}}{Y_{11}Y_{22} - Y_{12}Y_{21}}$ $Z_{12} = \frac{-Y_{21}}{Y_{11}Y_{22} - Y_{12}Y_{21}}$ $Z_{22} = \frac{Y_{11}}{Y_{11}Y_{22} - Y_{12}Y_{21}}$	$Y_{11} = \frac{Z_{22}}{Z_{11}Z_{22} - Z_{12}Z_{21}}$ $Y_{12} = \frac{-Z_{12}}{Z_{11}Z_{22} - Z_{12}Z_{21}}$ $Y_{21} = \frac{-Z_{21}}{Z_{11}Z_{22} - Z_{12}Z_{21}}$ $Y_{22} = \frac{Z_{11}}{Z_{11}Z_{22} - Z_{12}Z_{21}}$

Production Scientifique

Articles de Journaux

D. Maafri, M.C.E. Yagoub, R. Touhami, A. Slimane and M.T. Belaroussi, "Efficient RF extrinsic parameters extraction technique for FinFets", *Microwave Optical Technol. Lett.*, Wiley, vol. 56, pp. 2616–2619, Nov. 2014.

D. Maafri, M.C.E. Yagoub, R. Touhami, "A new small signal modelling and extraction method in Al GaN/GaN HEMT", *Int. J. Research and Reviews in Information Sciences*, Science Academy Publisher, vol. 2, no 1, pp. 150-154, March 2012.

D. Maafri, M.C.E. Yagoub A.A. Saadi, A. Slimane, R. Touhami, and M.T. Belaroussi, "Accurate and reliable small signal modelling for GaN HEMT devices," *IET Electronic letters*, under review.

Articles de Conférences

D. Maafri, M.C.E. Yagoub, R. Touhami, M.T. Belaroussi, A. Slimane and A. Taibi, "Efficient RF extraction technique for deep submicron MOSFET transistor", *Int. Semiconductor Science and Technology Conf.*, Izmir, Turkey, 2015.

D. Maafri, M.C.E. Yagoub, R. Touhami, M.T. Belaroussi, A. Slimane and J-P. Raskin, "Efficient small-signal extraction technique for ultra-thin body and ultra-thin box FD-SOI transistor," *IEEE MTT-S Int. Conf. on Numerical Electromagnetic and Multiphysics Modeling and Optimization*, Ottawa, Canada, pp. 1-3, 2015.

D. Maafri, M.C.E. Yagoub, R. Touhami, A. Slimane, M.T. Belaroussi, "RF extrinsic parameters extraction procedures for FinFET device," *Int. Conf. on Nano-Materials & Nanotechnology*, Annaba, Algeria, 2013.

A. Slimane, S. A. Tedjini, A. Taibi, M. T. Belaroussi and **D. Maafri**, "A 0.6-V/1.2-V low power single ended CMOS LNA for multi-standard RF front-ends," *26th Int. Conf. on Microelectronics*, pp. 68-71. Doha, 2014.

A. Taibi, A. Slimane, S. A. Tedjini, M. T. Belaroussi, **D. Maafri** and M. Trabelsi, "A 0.9 V low power reconfigurable CMOS folded cascode LNA for multi-standard wireless applications," *9th Int. Design and Test Symp.*, pp. 185-188, Algiers, Algeria, 2014.

D. Maafri, M.C.E. Yagoub, R. Touhami, "Une nouvelle méthode de modélisation et d'extraction en petits signaux pour AlGaN/GaN HEMTs dans la gamme millimétrique," *Int. Congress on Telecommunication and Application*, Bejaia, Algeria, 2012.

ملخص

العمل المقدم في هذه الأطروحة يتناول تطوير وتوصيف نموذجاً للترانزستورات الموجهة لتطبيقات الاتصالات اللاسلكية وذلك على نطاق تردداتي عريض. لقد عرفت الترانزستورات MOSFET تطورا ملحوظا في السنوات الأخيرة إلى درجة أن تولد لدينا أصنافا أخرى مثل MOS SOI, FinFET and UTBB FD SOI. لذلك فكان لزاما مواكبة هذا التطور باقتراح نماذج دقيقة وموثوق بها ليتمكن مصممو الشرائح الالكترونية من استغلال هذه الترانزستورات بفعالية أو حتى مساندة مطوري برامج التصميم بمساعدة الحاسوب. ولذلك، فقد تم اقتراح طريقة جديدة لاستخراج قيم عناصر نموذج الإشارة صغيرة من الترانزستورات MOSFET. تم تطبيق الطريقة المقترحة بنجاح على الترانزستورات المذكورة أعلاه، حيث أن تم التوصل إلى اتفاق جيد جدا بين بيانات المحاكاة والقياس. لتعميم هذه الطريقة، أجرينا تطبيق آخر على الترانزستورات الجاليوم HEMT حيث تحققت فيها نتائج جيدة.

الكلمات المفتاحية نمذجة وتوصيف ، برامج التصميم بمساعدة الحاسوب ، الترانزستورات MOSFET ، HEMT GaN ، الاتصالات اللاسلكية.

Abstract

The work presented in this thesis deals with the broad band modeling and characterization of emergent transistors allotted to radiofrequency applications. The development in the area of MOSFET transistors has been conducted in noteworthy manner, and various devices have been introduced such as, MOS SOI, FinFET and UTBB FD SOI. Nevertheless, this outstanding growing should be supported by proposing accurate and reliable transistors models to fulfill the requirements needed by integrated circuits designers and CAD (computer aided design) tools developers. Therefore, a new method has been proposed to extract the elements values tied to small signal model of MOSFET transistors. The proposed method has been successfully applied to the above transistors, since very good agreement was reached between simulated and measured data. Then, to generalize this method, another application was carried out on the HEMT GaN transistors where good results have been achieved.

Keywords Characterization and small-signal modeling, CAD, Transistors, MOSFET, HEMT GaN, radiofrequency.

Résumé

Le travail présenté dans cette thèse porte sur la caractérisation et modélisation large bande des transistors émergents destinés aux applications radiofréquence. Avec le développement très poussé dans la filière des transistors MOSFETs sous ces différentes formes tel que les MOS SOI, le FinFET et l'UTBB FD SOI, il devient une nécessité d'accompagner cette évolution avec des modèles précis et fiable pour servir les besoins des concepteurs de circuits intégrés ainsi que les développeurs des outils de conception assistée par ordinateur (CAO). A cet effet, nous avons apporté une contribution dans cette discipline de la modélisation en proposant une méthode novatrice pour l'extraction des éléments du modèle petit signal des transistors MOSFETs. La méthode proposée a été appliquée aux transistors suscités avec succès du moment que les résultats de simulation coïncident exactement avec les données issues des mesures. Pour des fins de généralisation, la méthode en question a été aussi appliquée au transistor HEMT AlGaIn/GaN où de bons résultats ont été notés.

Mots-clés Caractérisation et modélisation petit signal, Transistors, MOSFET, HEMT GaN, radiofréquence.